GPC® 150

General Purpose Controller Z84C15

MANUALE TECNICO



grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it



http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 150 Edizione 3.00 *Rel. 23 Febbraio 2000*

GPC® 150

General Purpose Controller Z84C15

MANUALE TECNICO

Formato singola Europa da 100x160mm con interfaccia per il **BUS industriale Abaco®**; **CPU CMOS 84C15** con quarzo da **32 MHz**; fino a **512K EPROM** o **FLASH EPROM** e fino a **512K SRAM**; **RAM/ROM disk** gestite tramite **FGDOS**; **EEPROM** seriale fino a 8 K; **FLASH EPROM seriale** disponibile in diversi formati, fino ad un massimo di **4 M**; **dip Switch** da 8 vie e jumper di configurazione leggibili da software; **1 LED** di attività; **2** linee seriali in **RS 232** di cui una settabile in **RS 422**, **RS 485** o **Current Loop**, supporto per protocolli **HDLC**, **SDLC**, ecc. con **baud rate** fino a **115 KBaud**; **40** linee di **I/O TTL**; **4 timer counter**; **8** linee di **A/D** Converter con **Sample & Hold**, 5,5 µs, range 0÷2,5V con possibilità di lavorare in differenziale(±2,5V), 12 bits+segno, oltre **140.000** conversioni al secondo, sequencer interno, funzione di **Self Calibration** e programmazione del **Conversion Rates**, possibilità di monitorare autonomamente un ingresso analogico generando un **INT**; circuiteria di **power failure** in grado di generare interrupt; **Real Time Clock** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi e di generare un **INT** con cadenze definibili da software; **Watch Dog** resettabili da software visualizzati tramite **LED**; circuiteria di **back up** per RAM e RTC con batteria al **Litio** e connettore per eventuale batteria esterna; unica tensione di alimentazione a **5Vdc**, **260 mA**; vasta disponibilità di software di base e di **ambienti di sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**, tra i pacchetti disponibili si possono citare: **FGDOS 150**; **PASCAL 80**; **CBZ 80**; **NSB8**; **RSD 150**; **HI TECH C 80**; **GET 80**; **DDS MICRO C 85**; **EMBEDDED PASCAL**; **NO ICE Z80**; ecc.

grifo®
ITALIAN TECHNOLOGY
Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



GPC® 150 Edizione 3.00 *Rel. 23 Febbraio 2000*

IMPORTANTE

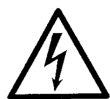
Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante **grifo**® non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.
grifo® altresi si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo**®.
Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:



Attenzione: Pericolo generico



Attenzione: Pericolo di alta tensione

Marchi Registrati

INDICE GENERALE

INDICE DELLE FIGURE

INTRODUZIONE

L'uso di questi dispositivi é rivolto - IN VIA ESCLUSIVA - a personale specializzato.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - IN VIA ESCLUSIVA - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 150** versione **220599** e successive. La validità delle informazioni riportate è quindi subordinata al numero di versione della scheda in uso e l'utente deve quindi sempre verificare la giusta corrispondenza tra le due indicazioni. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio sul bordo esterno della scheda, a fianco della batteria BT1 e del connettore CN1, sia sul lato componenti che sul lato stagnature).

INFORMAZIONI GENERALI

La scheda **GPC® 150** é un potente modulo di controllo e di gestione nel formato standard **Singola Europa** da 100x160 mm. Essa opera sul potente **BUS Industriale Abaco®**, di cui sfrutta la ricca serie di periferiche, intelligenti e non, disponibili su questo BUS. La **GPC® 150** é basata sulla potente e diffusa **CPU Z84C15 Zilog**, codice compatibile con **il famoso Z80**, ed ha a bordo scheda notevoli risorse hardware. Particolarmente interessante é la disponibilità di 8 linee di **A/D Converter** ad alta velocità da 13 bits. La estrema modularità e la notevole completezza di risorse hardware della scheda **GPC® 150** le consentono di poter affrontare applicazioni anche di notevole complessità con estrema disinvoltura. E' inoltre il componente ideale in tutte le applicazioni che richiedono molta memoria, infatti a bordo scheda si può raggiungere una configurazione massima superiore ai **5M Bytes**. La programmazione e l'uso delle risorse della scheda diventa estremamente semplice grazie all'uso del potente sistema operativo romato **FGDOS**. Esso supporta i linguaggi ad alto livello quali Compilatori BASIC, PASCAL, C, ecc.; mette a disposizione le risorse di memoria come se fossero **ROM/RAM disk**, consentendo un immediato utilizzo ad alto livello di questi dispositivi. Consente inoltre la gestione diretta di **Display LCD** o **Fluorescenti**, di una tastiera a matrice, di una stampante parallela e delle schede **PCMCIA** di **RAM Cards**. **FGDOS**, oltre alla nota facilità di sviluppo e prova, consente di programmare direttamente a bordo scheda una **FLASH** con il programma utente. La **GPC® 150** é dotata di una serie di connettori normalizzati, standard **Abaco®**, che le consentono di utilizzare immediatamente la numerosa serie di moduli **BLOCK** di I/O oppure permettono il collegamento, in modo molto semplice ed economico, delle interfacce da campo costruite direttamente dall'utente o da terze parti.

- Formato singola Europa da 100x160mm con interfaccia per il **BUS industriale Abaco®**.
- **CPU CMOS 84C15** con quarzo da **32 MHz**.
- Fino a **512K EPROM** o **FLASH EPROM** e fino a **512K SRAM**. Tramite **FGDOS** la memoria eccedente i 64K é vista come **RAM/ROM disk**. E' possibile cancellare e riprogrammare autonomamente la **FLASH** di bordo con il programma utente.
- **EEPROM** seriale fino a 8 K.
- **FLASH EPROM seriale** disponibile in diversi formati, fino ad un massimo di **4 M**.
- **Dip Switch** da 8 vie e jumper di configurazione leggibili da software.
- **1 LED** di attività, posizionato sul frontale, gestibile da software.
- **2** linee seriali in **RS 232** di cui una settabile in **RS 422**, **RS 485** o **Current Loop** gestite dal potente **SIO** che supporta i protocolli **HDLC**, **SDLC**, ecc. con **Baud Rate** settabile da software, fino a **115 KBaud**.
- **40** linee di **I/O TTL**, settabili da software, di cui 24 gestite dal **PPI 82C55** e 16 gestite dal **PIO**.
- **4 timer counter** ad 8 bits di cui **2** usati come baud rate generator e **2** riportati su connettore.
- **8** linee di **A/D** Converter con **Sample & Hold**, 5,5 μs, range 0÷2,5V con possibilità di lavorare in differenziale(±2,5V), 12 bits+segno, gestite dal potente **LM 12H458**. Sviluppa oltre **140.000** conversioni al secondo, dispone di un Sequencer interno, funzione di **Self Calibration** e programmazione del **Conversion Rates.** Ha la possibilità di monitorare autonomamente un ingresso analogico generando un **INT** quando questo esce dai limiti impostati.
- Circuiteria di **power failure** in grado di generare interrupt.
- **Real Time Clock** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi e di generare un **INT** con cadenze definibili da software.

- **Watch Dog** resettabili da software visualizzati tramite **LED**.
- Circuiteria di **back up** per SRAM e RTC con batteria al **Litio** e connettore per eventuale batteria esterna. Lo stato di carica é acquisibile via software.
- Unica tensione di alimentazione a **5Vdc**, **260 mA**.
- Vasta disponibilità di software di base e di **ambienti di sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**. Tra i pacchetti disponibili si possono citare: **FGDOS 150**; **PASCAL 80**; **CBZ 80**; **NSB8**; **RSD 150**; **HI TECH C 80**; **GET 80**; **DDS MICRO C 85**; **EMBEDDED PASCAL**; **NO ICE Z80**; ecc.

SIO

Periferica in grado di gestire due linee per la comunicazione seriale. Il dispositivo può essere utilizzato per la comunicazione con tutti i sistemi provvisti di una linea seriale bufferata in RS 232, RS 422, RS 485 o Current Loop. Dal punto di vista software è infatti definibile la velocità di comunicazione, la lunghezza della parola, il numero di stop bit, la parità e lo stato dei segnali di handshake hardware. Il tutto avviene tramite una semplice programmazione di 4 registri allocati nello spazio di I/O della CPU da un’apposita logica di controllo.

TIMER COUNTER

La sezione di timer counter di bordo é costituita dalla sezione CTC del microprocessore e dispone di 4 canali ad 8 bit indipendenti e programmabili via software. La periferica é vista tramite 4 registri, situati nello spazio di I/O dalla logica di controllo della scheda, con cui possono essere definite le modalità di funzionamento (timer o counter, prescaler, trigger, ecc.) e l'eventuale generazione d'interrupt. Due dei quattro canali sono usati come baud rate generator per le linee seriali.

LINEE DI I/O DEL PIO

Periferica in grado di gestire due port paralleli da 8 bit per un totale di 16 linee di I/O logico a livello TTL, con direzionalità settabile a livello di bit. Tali linee di I/O hanno la possibilità di generare interrupt. In questo modo una determinata condizione esterna può distogliere la CPU dalle normali operazioni, in modo da rispondere sempre e prontamente a tutti gli eventi. Il PIO viene completamente gestito via software tramite la programmazione di 4 registri situati nello spazio di I/O della CPU da un’apposita logica di controllo.

REAL TIME CLOCK

Il modulo di Real Time Clock da montare su IC5 è grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. L'alimentazione del componente è fornita dalla circuiteria di back up in modo da garantire la validità dei dati in ogni condizione operative ed è completamente gestito via software, tramite la programmazione di 16 registri situati nello spazio di I/O della CPU da un’apposita logica di controllo. La sezione di RTC può inoltre generare interrupt in corrispondenza di intervalli di tempo programmabili via software in lodo da poter periodicamente distogliere la CPU dalle normali operazioni oppure periodicamente risvegliarla dagli stati di halt, idle, stop mode.

PROCESSORE DI BORDO

La scheda **GPC® 150** è predisposta per accettare il processore Z84C15 prodotto dalla ZILOG. Tale processore ad 8 bit è codice compatibile con lo Z80 ed è quindi caratterizzato da un esteso set di istruzioni (158), da un'alta velocità di esecuzone e di manipolazione dati e da un efficiente gestione vettorizzata degli interrupts. Di fondamentale importanza è la presenza delle seguenti periferiche interne al microprocessore:

- 16 linee di I/O settabili a livello di bit in grado di generare interrupts (PIO);
- 4 Timer Counter ad 8 bit, con funzione di prescaler programmabile (CTC);
- 2 linee seriali asincrone o sincrone complete di segnali di handshake (SIO);
- Watch Dog Timer;
- Wait state generator;
- Frequenza di Clock programmabile;
- Interrupt controller;
- Possibilità di operare in idle e stop mode, per minimizzare i consumi;

Per maggiori informazioni a riguardo di questo componente si faccia riferimento all'apposita documentazione dellla casa costruttrice, oppure all'appendice B di questo manuale.

COMUNICAZIONE SERIALE

La comunicazione seriale è completamente settabile via software per quanto riguarda sia il protocollo sia la velocità (da un minimo di 600 ad un massimo di 155200 Baud) ed in modo completamente autonomo per entrambe le linee di comunicazione. Tali settaggi avvengono tramite la programmazione del SIO interno allo Z84C15 e della sezione di baud rate generator, di cui la scheda é provvista, quindi per ulteriori informazioni si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale.
Dal punto di vista hardware è invece possibile selezionare, tramite una serie di comodi jumpers, il protocollo fisico di comunicazione. In particolare una linea è sempre bufferata in RS 232, mentre la rimanente può essere bufferata in RS 232, RS 422, RS 485 o Current Loop; in quest'ultimo caso è definibile anche se la comunicazione avviene in Full Duplex o Half Duplex.

ABACO® BUS

Una delle caratteristiche di fondamentale importanza della **GPC® 150** è quella di disporre dell'interfacciamento nei confronti del BUS industriale **ABACO®**: ovvero un connettore normalizzato con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), per gestione di linee di I/O logico, per counter, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente. Utilizzando mother board come l'**ABB 03** o l'**ABB 05** é inoltre possibile gestire anche le schede periferiche della serie 3 e 4 provviste di **ABACO® I/O BUS**. Tale caratteristica rende la scheda espandibile con un ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.

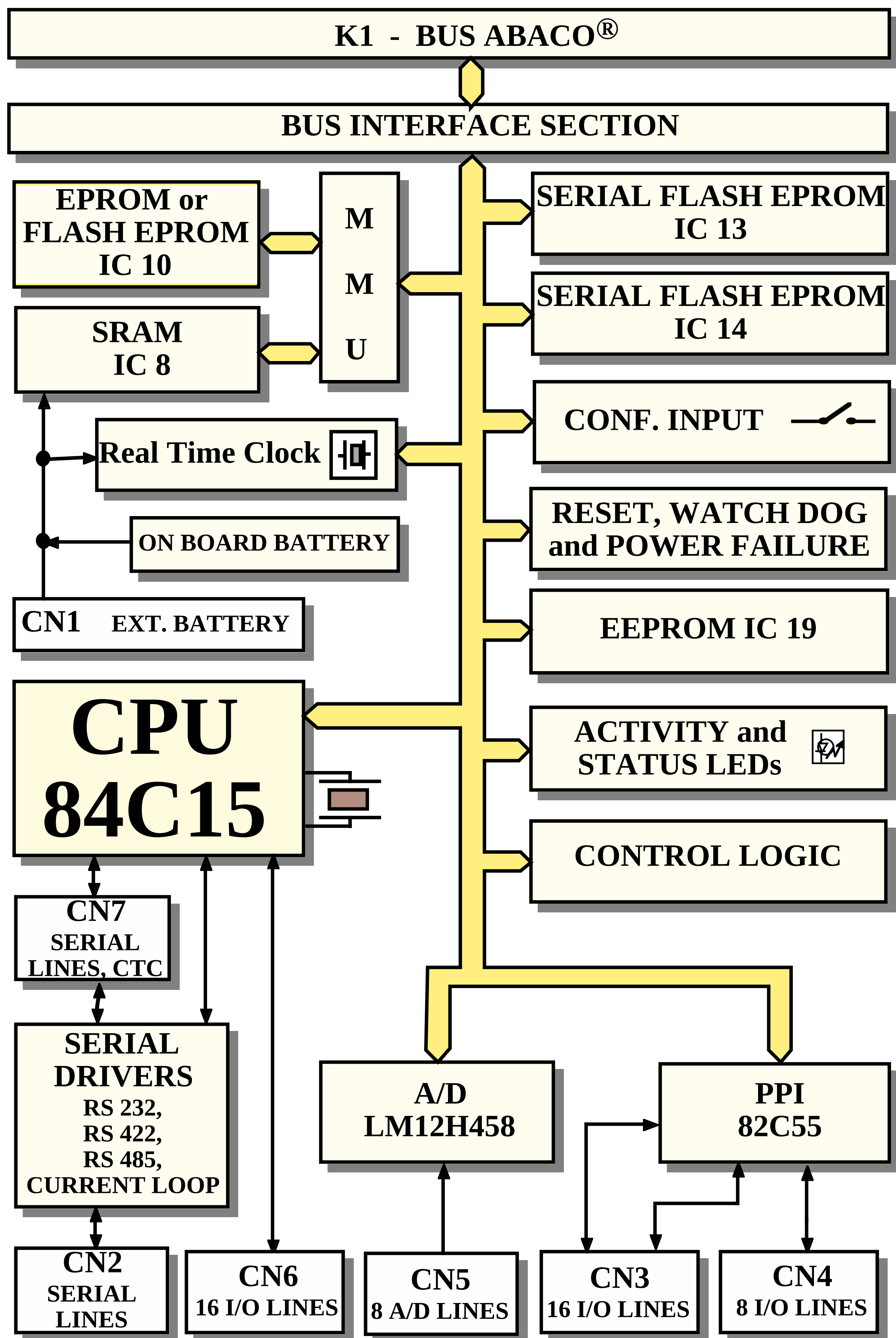


FIGURA 1: SCHEMA A BLOCCHI

DISPOSITIVI DI CLOCK

Sulla **GPC® 150** sono presenti tre circuiti separati che provvedono a generare rispettivamente la frequenza di clock per la CPU (32 MHz), la frequenza per la generazione del Baud Rate (1,8432 MHz), relativo alle linee di comunicazione seriale della scheda e il clock per il convertitore A/D (8 MHz). La scelta di utilizzare tre circuiti e quindi tre quarzi indipendenti, è legata alla possibilità di poter variare la frequenza di lavoro della CPU senza dover intervenire sul software di gestione della comunicazione ed allo stesso tempo avere la possibilità di raggiungere le massime prestazioni in termini di tempo, sia per quanto riguarda l'esecuzione che la comunicazione seriale .

A/D CONVERTER

La sezione opzionale di A/D converter della **GPC® 150** é basata sul potente **LM 12H458** in grado di acquisire 8 canali nel range 0÷2,490V o 0÷5,000V in tensione o 0÷20 mA o 4÷20 mA in corrente oppure 4 canali differenziali nel range ±2,490V o ±5,000V, con una risoluzione massima di 12 bits più segno. La sezione é provvista di **Sample & Hold**, di un A/D converter ad approssimazioni sucessive, con 5,5 μs di tempo di conversione, ed é in grado di sviluppa oltre **140.000** conversioni al secondo. Alcune caratteristiche come: un **sequencer** interno, il trasferimento dati in **DMA**, la funzione di **self calibration**, la programmazione del **conversion rates**, il settaggio della **risoluzione**, una FIFO per le conversioni ed il controllo autonomo di **limiti** (monitorizza un ingresso analogico generando un interrupt quando questo esce dai valori impostati), facilitano notevolmente la sua gestione senza continuamente richiedere l'intervento della CPU.
Dal punto di vista software sono programmabili tutte le funzionalità del componente tramite 27 registri situati nello spazio di I/O.
Il codice dell'opzione A/D converter da specificare in fase di ordine è **.AD**.

LINEE DI I/O DEL PPI 82C55

Periferica in grado di gestire tre port paralleli da 8 bit per un totale di 24 linee di I/O logico a livello TTL, con direzionalità settabile a livello di byte. Tali linee di I/O aprono ulteriori possibilità di impiego della **GPC® 150** (ad esempio nella gestione di periferiche non intelligenti, interfacce, ecc.) anche quando l'handshake delle comunicazioni è completamente da gestire via software. Il chip PPI 82C55 viene completamente gestito via software tramite la programmazione di 4 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo.

WATCH DOG

La scheda **GPC® 150** è provvista di due circuiterie separate di Watch Dog che, se utilizzate, consentono di uscire da stati di loop infinito o da condizioni anomale non previste dal programma applicativo. Tali circuiterie sono composte da una sezione monostabile interna al microprocessore caratterizzata da un tempo di intervento programmabile e da una sezione astabile/monostabile esterna con un tempo d'intervento tipico di circa 1420 msec. La gestione avviene completamente via software (tramite l'acceso ad opportuni registri situati nello spazio d'indirizzamento della CPU) e conferisce al sistema basato sulla scheda, una sicurezza estrema.

LOGICA DI CONTROLLO

Il mappaggio di tutti i registri delle periferiche presenti sulla scheda e dei dispositivi di memoria, è affidata ad un'opportuna logica di controllo che si occupa di allocare tali dispositivi nello spazio d'indirizzamento della CPU. Per maggiori informazioni fare riferimento al paragrafo "MAPPAGGIO DELL'I/O".

DISPOSITIVI DI MEMORIA

E' possibile dotare la scheda di un massimo di 5128KBytes di memoria variamente suddivisi con un massimo di 512KBytes di EPROM o FLASH EPROM, 512KBytes di SRAM, 8KBytes di EEPROM seriale ed infine due moduli da 2048KBytes di FLASH EPROM seriale. La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all'applicazione da risolvere e quindi in relazione alle esigenze dell'utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con i soli 128KBytes di SRAM di lavoro e che tutte le rimanenti memorie devono essere quindi opportunamente specificate in fase di ordine della scheda. Sfruttando la circuiteria di back up e l'eventuale bateria tampone esterna, la EEPROM seriale ele FLASH seriali si ha la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema . Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo, che provvede ad allocare i dispositivi all'interno dello spazio d'indirizzamento del microprocessore. Per maggiori informazioni fare riferimento al capitolo "DESCRIZIONE HARDWARE" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO". Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo strippaggio della scheda, fare riferimento al paragrafo "SELEZIONE MEMORIE".

MMU

Al fine di poter gestire in modo pratico ed efficace le configurazioni di memoria di cui può essere dotata la **GPC® 150**, a partire dallo spazio d'indirizzamento logico di 64 KByte del microprocessore, è stata prevista un'apposita sezione di MMU. Tale sezione provvede tramite una facile programmazione software, l'allocazione dei 64K di lavoro all'interno dello spazio di memoria massimo di 5128K.

Per ulteriori informazioni a riguardo dei dispositivi periferici descritti, si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale.

CARATTERISTICHE TECNICHE

CARATTERISTICHE GENERALI

Risorse della scheda:	24 Input/Output programmabili TTL (PPI 82C55) 16 Input/Output (PIO) 4 Timer Counter ad 8 bit a livello TTL (CTC) 1 Linea bidirezionale RS 232 1 Linea bidirezionale RS 232, RS 422, RS 485 o Current Loop 1 Watch Dog interno alla CPU 1 Watch Dog esterno 1 Real Time Clock 1 Dip Switch da 8 dips BUS industriale **ABACO®**
Memoria indirizzabile:	IC 10: EPROM da 128K x 8 a 512K x 8 FLASH EPROM da 128K x 8 a 512K x 8 IC 8: SRAM da 128K x 8 o 512Kx8 IC 34: EEPROM seriale da 256 byte a 8192 byte IC13: FLASH EEPROM seriale da 64Kx8 a 2048Kx8 IC14: FLASH EEPROM seriale da 64Kx8 a 2048Kx8
CPU di bordo:	ZILOG 84C15
Frequenza quarzo CPU:	32 MHz
Frequenza clock A/D:	8 MHz
Frequenza Baud Rate generator:	1,8432 MHz
Risoluzione A/D:	12 bit + segno
Tempo conversione A/D:	5,5 μsec
Tempo intervento watch dog:	da 940 msec a 2060 msec (tipico 1420 msec)

CARATTERISTICHE TECNICHE

Dimensioni: (L x A x P):	formato EUROPA: 100 x 160 x 15 mm
Peso:	185 g (versione base)
Connettori:	K1: 64 pin DIN 41612 corpo C CN1: 2 vie scatolino verticale M CN2: 5 vie scatolino verticale M CN3: 20 vie scatolino verticale M

	CN4: 20 vie scatolino verticale M
	CN5: 20 vie scatolino 90 gradi M
	CN6: 20 vie scatolino 90 gradi M
	CN7: 16 vie scatolino 90 gradi M
Range di temperatura:	da 0 a 70 gradi Centigradi
Umidità relativa:	20% fino a 90% (senza condensa)

CARATTERISTICHE ELETTRICHE

Tensione di alimentazione:	+5 Vcc
Corrente assorbita sui 5 Vdc:	252 mA nella configurazione base 360 mA nella configurazione massima
Batteria di bordo di back up:	3,0 Vdc; 1/2 AA
Batteria esterna di back up:	3,6÷5 Vdc
Corrente di back up:	3,4 µA (batteria di bordo) 5,1 µA (batteria esterna da 3,6 V)
Ingressi analogici:	0÷2,490 V; ±2,490 V; 0÷5,000 V; ±5,000 V 0÷20 mA; 4÷20 mA (con modulo do conversione)
Impedenza ingressi analogici:	< 4KΩ
Rete terminazione RS 422, 485:	Resistenza terminazione linea= 120Ω Resistenza di pull-up sul positivo= 3,3KΩ Resistenza di pull-down sul negativo= 3,3KΩ
Soglia intervento power failure:	52 mV prima dell'intervento del reset

INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori, dei trimmers, dei LEDs, ecc. presenti sulla **GPC® 150**.

CONNESSIONI CON IL MONDO ESTERNO

l modulo **GPC® 150** è provvisto di 8 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 24, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

CN1 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

CN1 é un connettore a scatolino, verticale, maschio, con passo 2,54 mm a 2 vie.
Tramite CN1 può essere collegata una batteria esterna che provvede a mantenere i dati delle SRAM di bordo ed a garantire il funzionamento del real time clock, in assenza di tensione di alimentazione (per maggiori informazioni fare riferimento al paragrafo “BACK UP”.

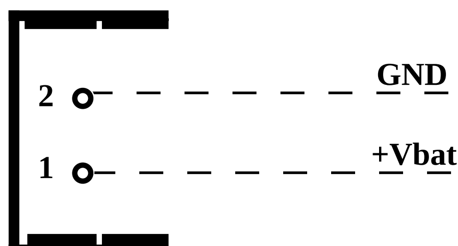


FIGURA 2: CN1 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

Legenda:

+Vbat = I - Positivo della batteria esterna di back up.
GND = - Negativo della batteria esterna di back up.

CN4 - CONNETTORE PER PORT B DEL PPI 82C55

CN4 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini.
Tramite CN4 si effettua la connessione delle 8 linee di I/O digitale gestite dal port B del PPI 82C55, con il campo. Tutti i parametri che riguardano l'uso di questo componente (direzionalità, modo di gestione dati, ecc.) sono definibili via software tramite la programmazione della stesso. I segnali del PPI coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO®**.

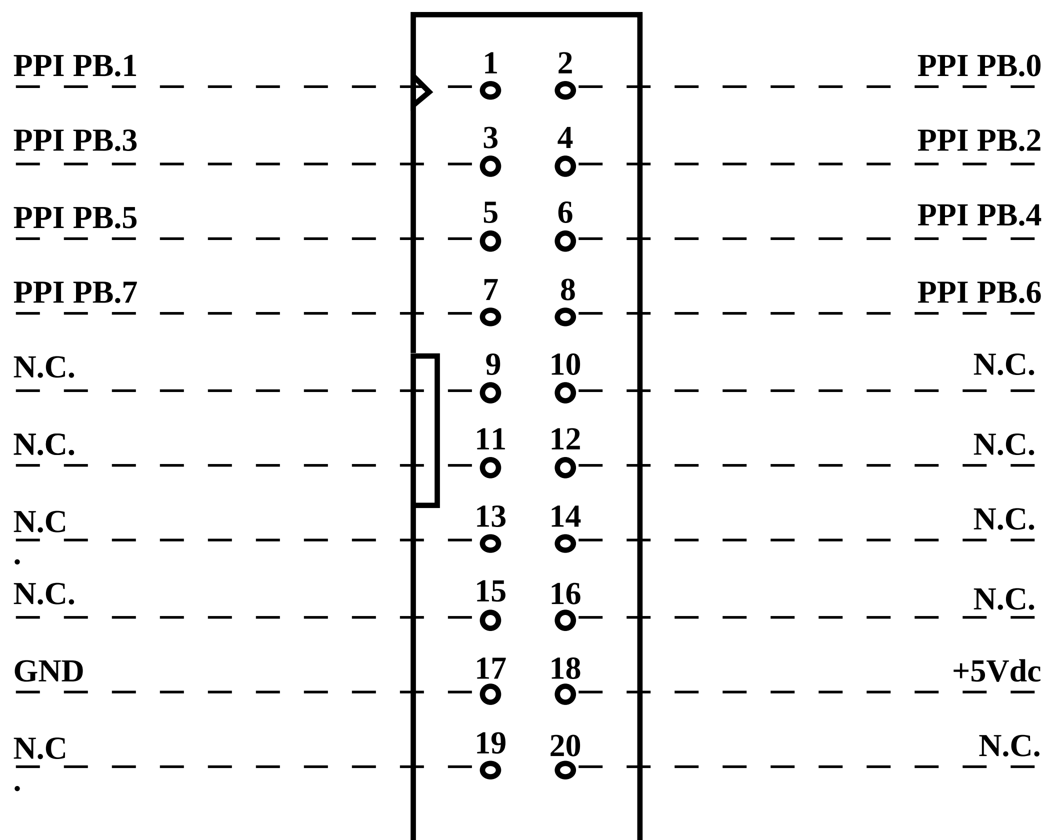


FIGURA 3: CN4 - CONNETTORE PER PORT B DEL PPI 82C55

Legenda:

PPI PB.n = I/O - Linea digitale TTL n del port B del PPI 82C55
+5 Vdc = O - Linea di alimentazione a +5 Vcc
GND = - Linea di massa digitale
N.C. = - Non collegato

CN3 - CONNETTORE PER PORT A E C PPI 82C55

CN3 é un connettore a scatolino verticale con passo 2.54 mm a 20 piedini.
Tramite CN3 si effettua la connessione delle 16 linee di I/O digitale gestite dai port A,C del PPI 82C55, con il campo. Tutti i parametri che riguardano l'uso di questo componente (direzionalità, modo di gestione dati, ecc.) sono definibili via software tramite la programmazione della stesso. I segnali del PPI coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO®**.

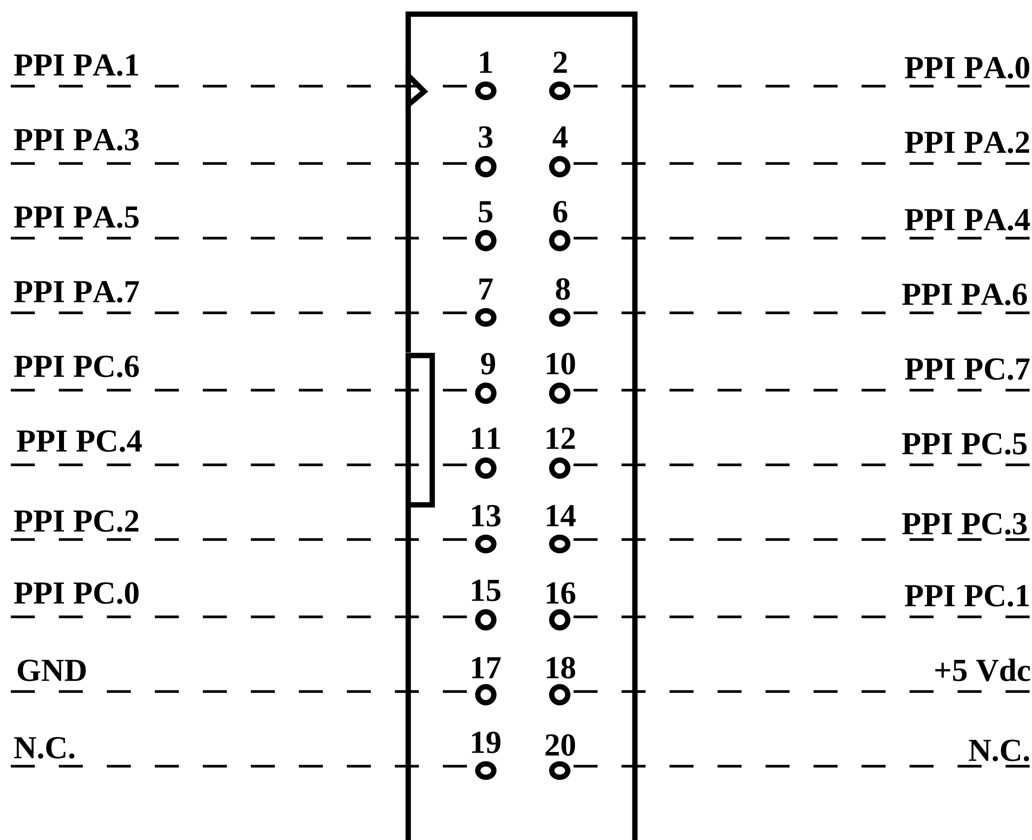


FIGURA 4: CN3 - CONNETTORE PER PORT A E C DEL PPI 82C55

Legenda:

PPI PA.n	= I/O - Linea digitale TTL n del port A del PPI 82C55
PPI PC.n	= I/O - Linea digitale TTL n del port C del PPI 82C55
+5 Vdc	= O - Linea di alimentazione a +5 Vcc
GND	= - Linea di massa digitale
N.C.	= - Non collegato

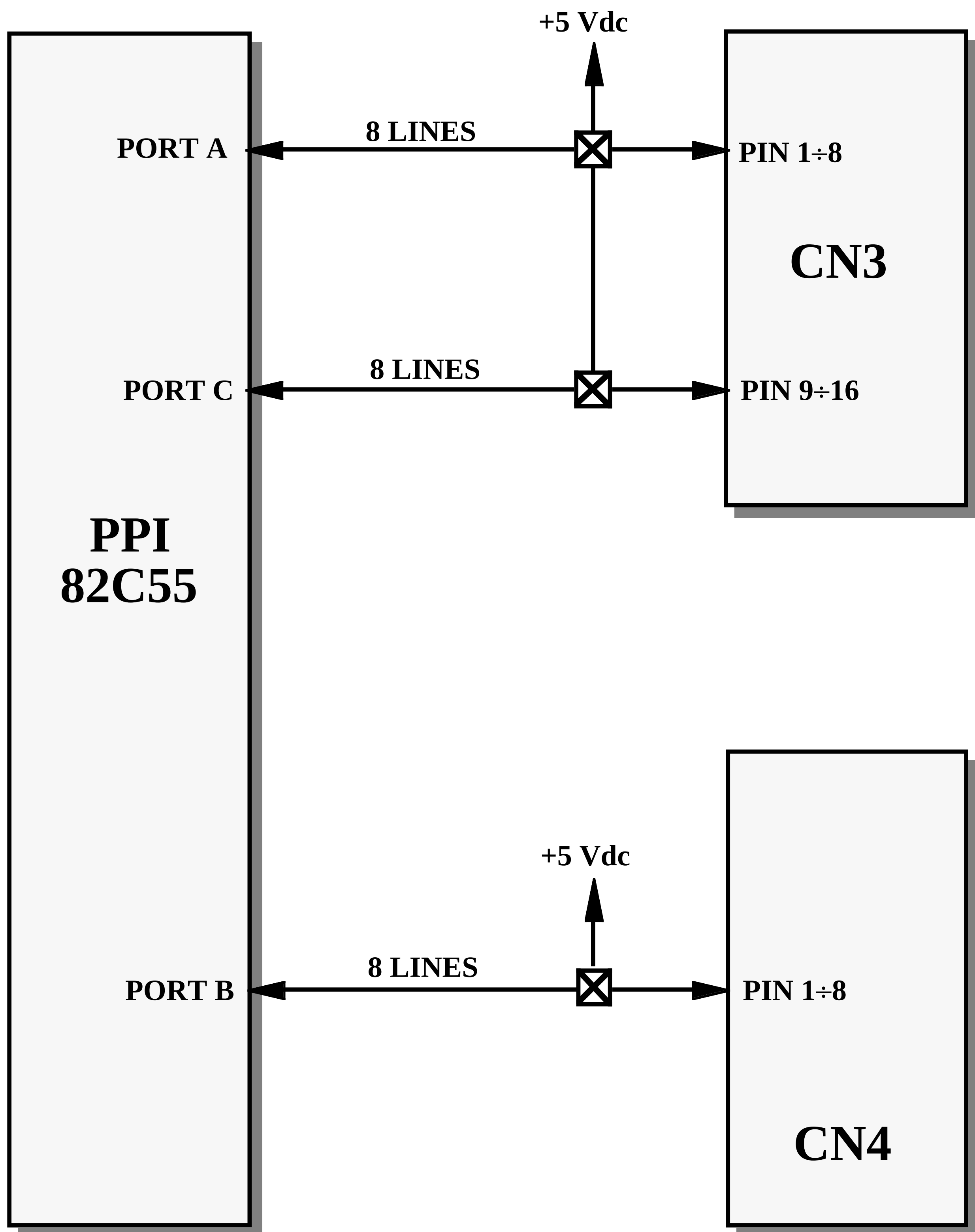


FIGURA 5: SCHEMA DEL COLLEGAMENTO LINEE DI I/O DEL PPI

CN5 - CONNETTORE PER INGRESSI A/D CONVERTER

CN5 é un connettore a scatolino a 90 gradi con passo 2.54 mm a 20 piedini.
Tramite CN5 possono essere collegate le 8 linee analogiche d'ingresso all'apposita circuiteria esterna. Tali linee sono direttamente collegate all'A/D di bordo della scheda, sono a bassa impedenza, sono provviste di un condensatore di filtro e possono variare nel range 0÷2,490 V o 0÷5,000 V nel caso di ingressi singoli o nel rande ±2,490 V o ±5,000 V nel caso di ingressi differenziali. Tramite l'installazione di un opportuno modulo di conversione é inoltre possibile acquisire gli 8 ingressi singoli in corrente nel range 0÷20 mA o 4÷20 mA. La gestione della conversione é completamente effettuata via software tramite la programmazione dell'LM 12H458, mentre la disposizione dei segnali su questo connettore é studiata in modo da ridurre tutti i problemi di rumore ed interferenza, garantendo quindi un'ottima trasmissione del segnale.

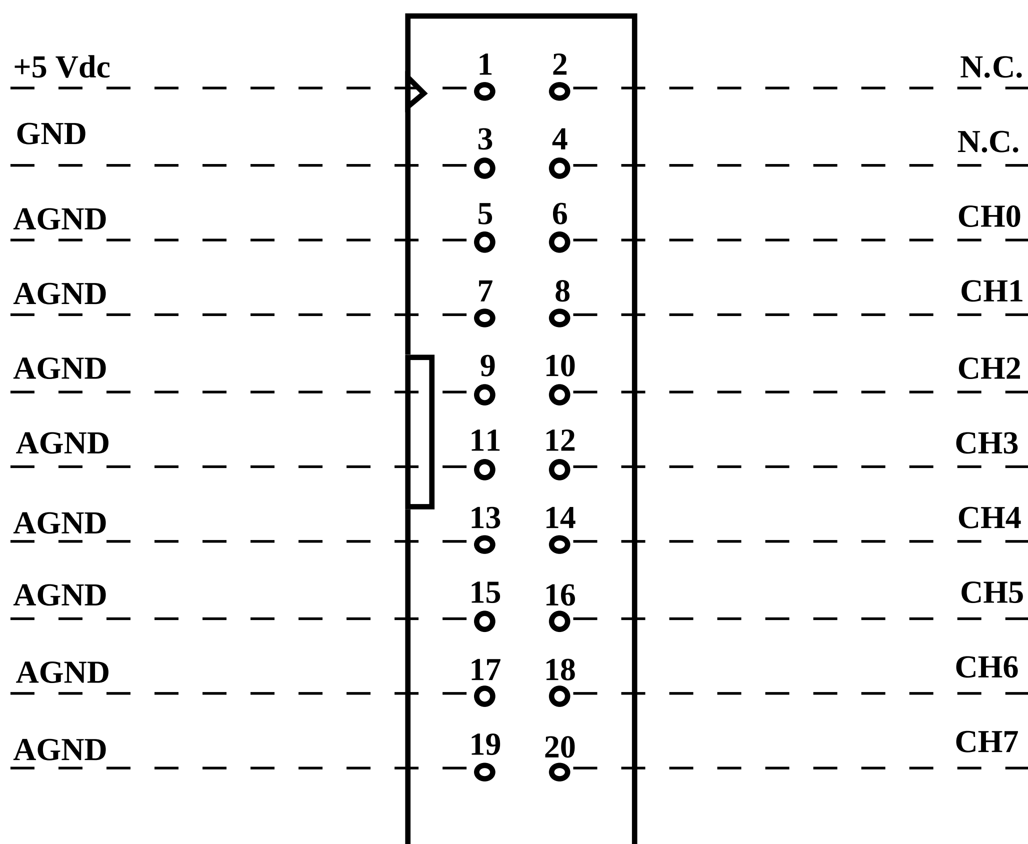


FIGURA 6: CN5 - CONNETTORE PER INGRESSI A/D CONVERTER

Legenda:

CHn	=	I	- Linea analogica d'ingresso collegata al canale n dell'A/D Converter
AGND	=		- Linea di massa analogica
+5 Vdc	=	O	- Linea di alimentazione a +5 Vcc
GND	=		- Linea di massa digitale
N.C.	=		- Non collegato

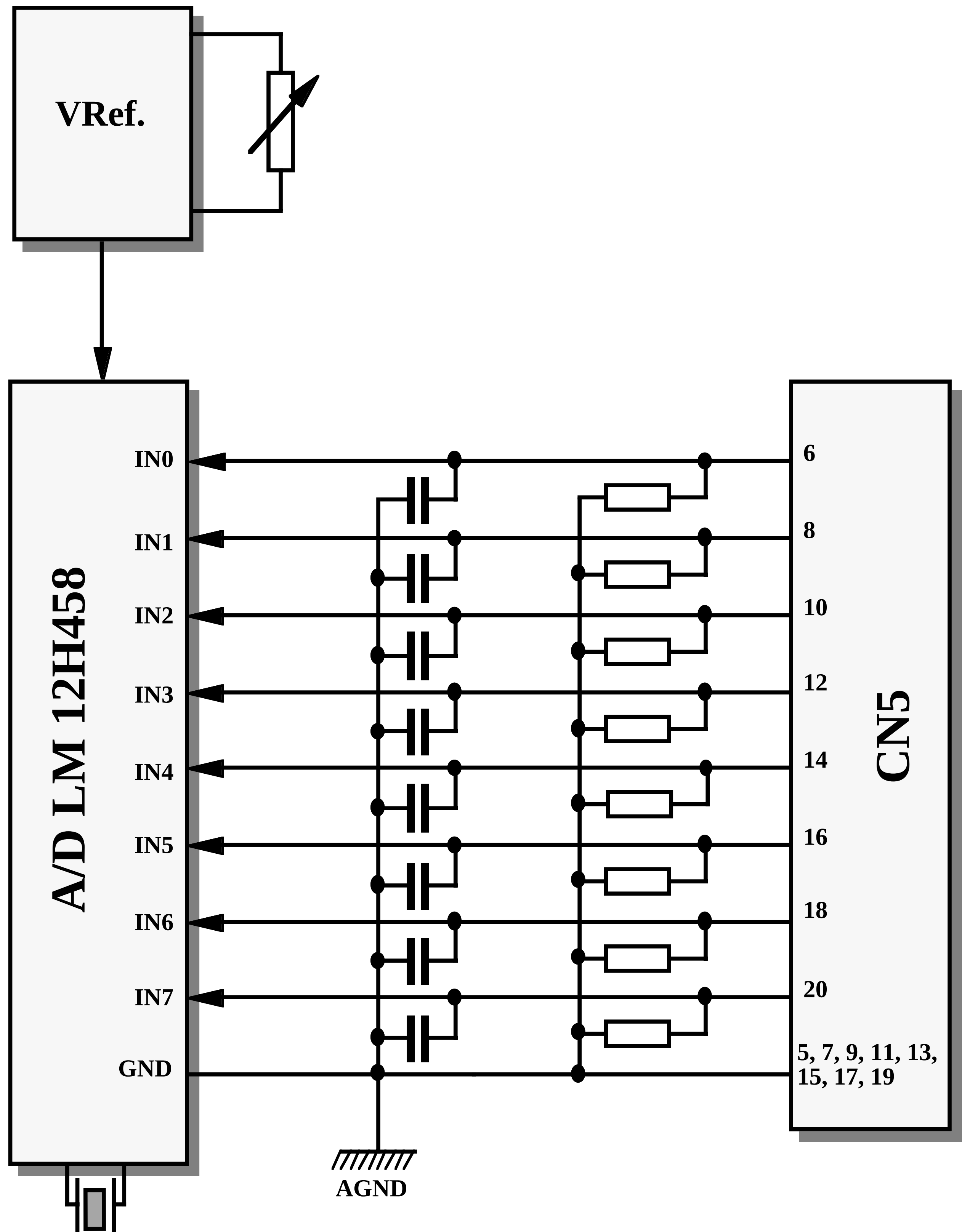


FIGURA 7: SCHEMA D'INGRESSO A/D CONVERTER

CN7 - CONNETTORE PER LINEE SERIALI RS 232 E TIMER COUNTER

CN7 è un connettore a scatolino a 90 gradi con passo 2.54 mm a 16 piedini.
Tramite CN7 si effettua la connessione delle due linee seriali in RS 232 ed i timer counter T0 e T1 a bordo della CPU con l'ambiente esterno. Le due linee seriali sono gestibili via hardware e via software tramite lo strippaggio di appositi jumpers e la programmazione degli appositi registri interni dello Z84C15. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e segnali a livello RS 232, secondo le normative definite dal CCITT; la disposizione dei segnali, é invece stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo.

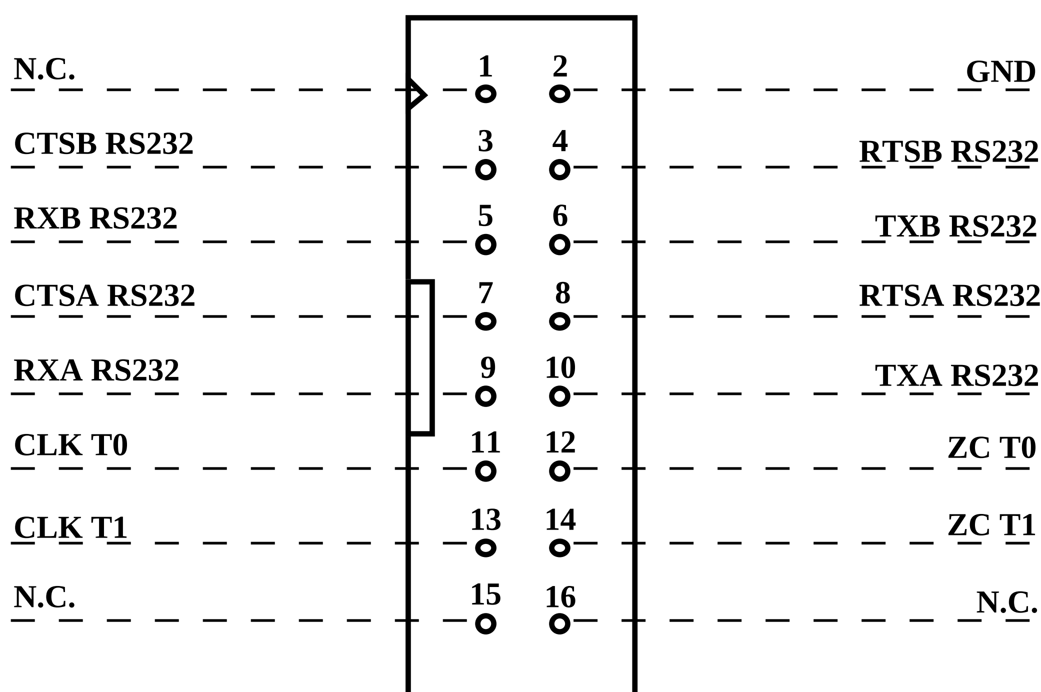


FIGURA 8: CN7 - CONNETTORE PER LINEE SERIALI RS 232 E TIMER COUNTER

Legenda:

RXA, B RS232 = I - Receive Data: linea di ricezione in RS 232 della linea seriale A, B
TXA, B RS232 = O - Trasmit Data: linea di trasmissione in RS 232 della linea seriale A o B
CTS A, B RS232= I - Clear To Send: linea di abilitazione della trasmissione in RS 232 della linea seriale A o B
RTS A, B RS232= O - Request To Send: linea di richiesta di trasmissione in RS 232 della linea seriale A o B
CLK Tn = I - Clock Trigger del contatore n del CTC a livello TTL
ZC Tn = O - Zero Count Timer del contatore n a livello TTL
GND = - Linea di massa

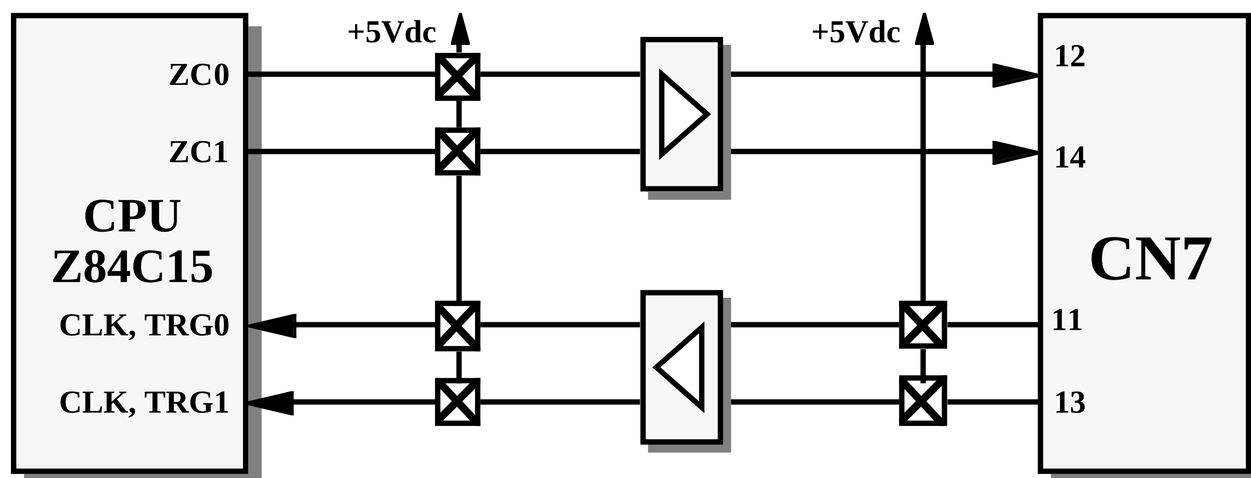


FIGURA 9: SCHEMA DI COLLEGAMENTO TIMER COUNTER

CLK, TRG2
CLK, TRG3
CTC
CTC 2
CTC 3
BAUD RATE LINE B
BAUD RATE LINE A
SIO Z84C15
LINE B
LINE A
DRIVERS
RS 422
RS 485
CURRENT LOOP
CN2
DRIVERS
RS 232
CN7

FIGURA 10: SCHEMA DI COMUNICAZIONE SERIALE

CN6 - CONNETTORE PER I/O DEL PIO

CN6 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini. Tramite CN6 si effettua la connessione tra l'interfaccia periferica programmabile PIO interna alla CPU e l'ambiente esterno, utilizzando i due port paralleli ad 8 bit e le linee di handshake di cui dispone. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL.

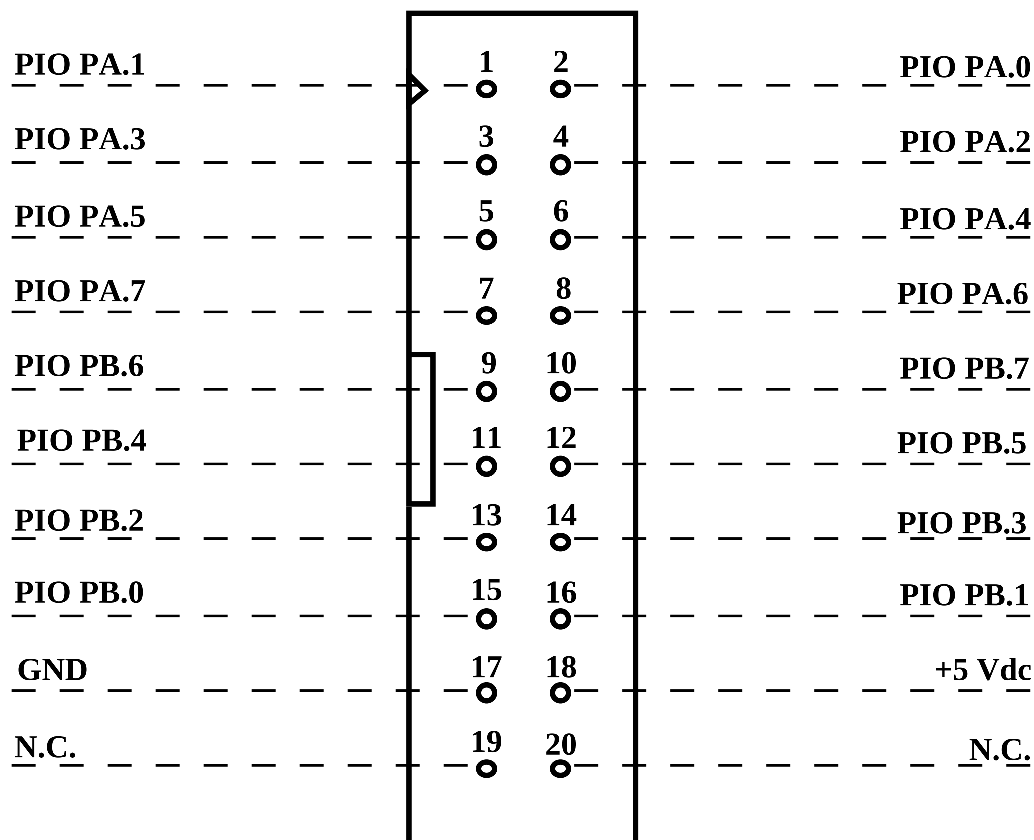


FIGURA 11: CN5 - CONNETTORE PER I/O DEL PIO

Legenda:

PIO PA.n = I/O - Linea digitale n del port A del PIO
PIO PB.n = I/O - Linea digitale n del port B del PIO
Vcc = O - Linea di alimentazione a +5 Vcc
GND = - Linea di massa
N.C. = - Non Collegato

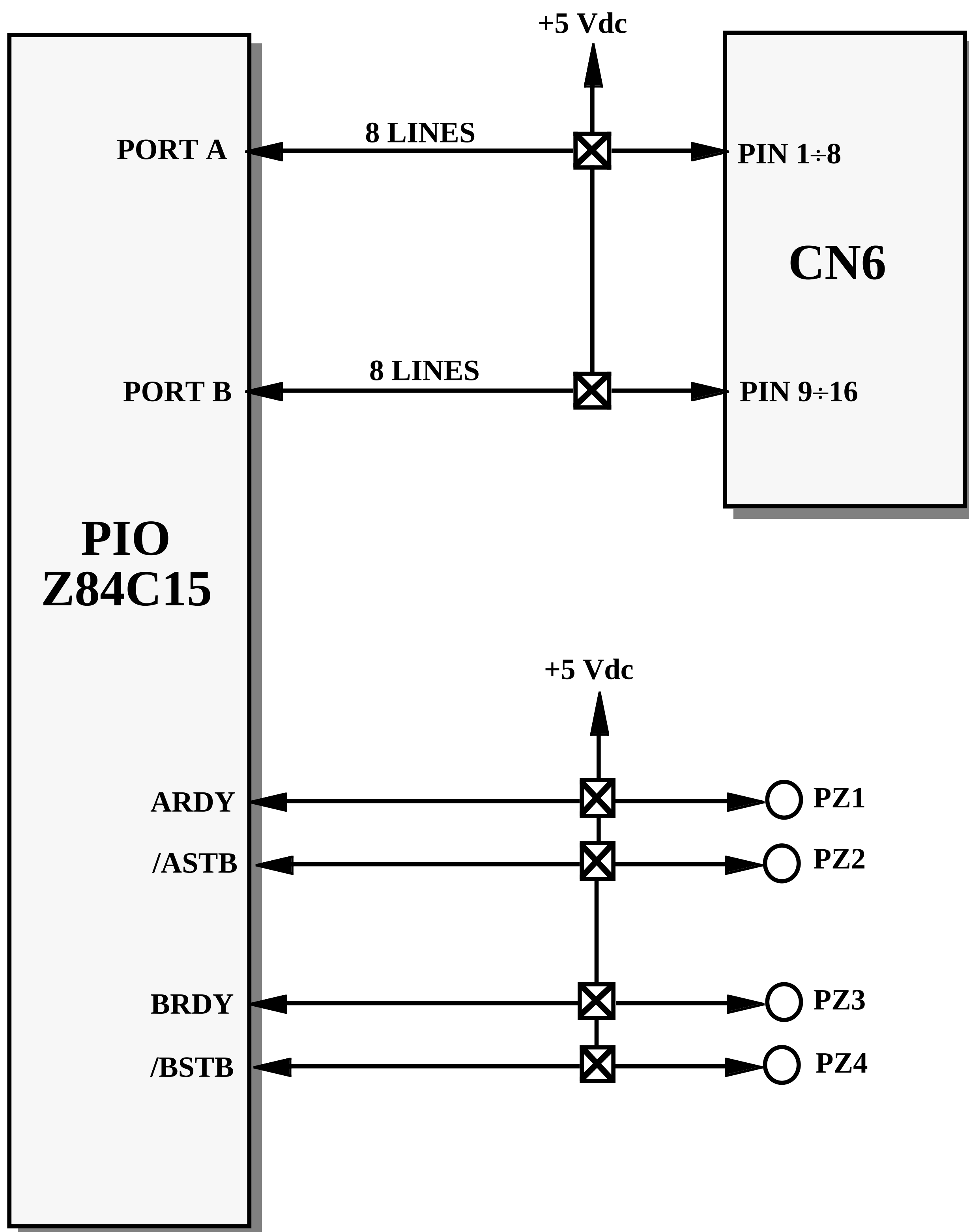


FIGURA 12: SCHEMA DI COLLEGAMENTO PIO

Sulla scheda sono accessibili le piazzole PZ1, PZ2, PZ3 e PZ4 che trasportano i segnali di READY e di /STROBE dei port A e B.
Tramite questi segnali è possibile realizzare una comunicazione parallela ad alta velocità.

CN2 - CONNETTORE PER SERIALE IN RS 422, RS 485 E CURRENT LOOP

CN2 è un connettore a scatolino verticale con passo 2.54 mm a 5 piedini.
Su questo connettore sono riportati tutti i segnali per la comunicazione in RS 422, RS 485 e Current Loop della linea seriale B. La disposizione di tali segnali è stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare le connessioni con il campo, mentre i segnali rispettano le normative definite dal CCITT relative ad ognuno degli standard di comunicazione usati. Si ricorda inoltre che l'interfaccia Current Loop é di tipo passivo.

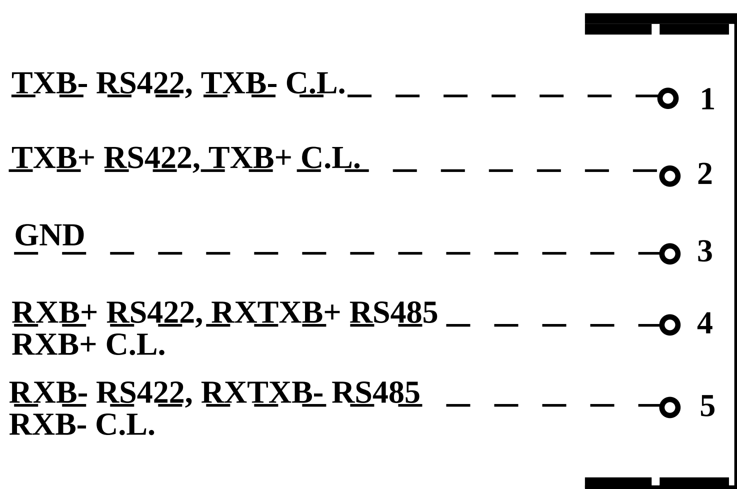


FIGURA 13: CN2 - CONNETTORE PER SERIALE IN RS 422, RS 485 E CURRENT LOOP

Legenda:

RXB- RS422	= I	- Receive Data Negative: linea bipolare negativa di ricezione differenziale in RS 422 della seriale B
RXB+ RS422	= I	- Receive Data Positive: linea bipolare positiva di ricezione differenziale in RS 422 della seriale B
TXB- RS422	= O	- Transmit Data Negative: linea bipolare negativa di trasmissione differenziale in RS 422 della seriale B
TXB+ RS422	= O	- Transmit Data Positive: linea bipolare positiva di trasmissione differenziale in RS 422 della seriale B
RXTXB- RS485	= I/O	- Receive Transmit Data Negative: linea bipolare negativa di ricezione e trasmissione differenziale in RS 485 della seriale B
RXTXB+ RS485	= I/O	-Receive Transmit Data Positive: linea bipolare positiva di ricezione e trasmissione differenziale in RS 485 della seriale B
RXB- C.L.	= I	- Receive Data Negative: linea bipolare negativa di ricezione in Current Loop della seriale B
RXB+ C.L.	= I	- Receive Data Positive: linea bipolare positiva di ricezione in Current Loop della seriale B
TXB- C.L.	= O	- Transmit Data Negative: linea bipolare negativa di trasmissione in Current Loop della seriale B
TXB+ C.L.	= O	- Transmit Data Positive: linea bipolare positiva di trasmissione in Current Loop della seriale B
+5 Vdc	= I	- Linea di alimentazione a +5 Vcc
GND	=	- Linea di massa digitale

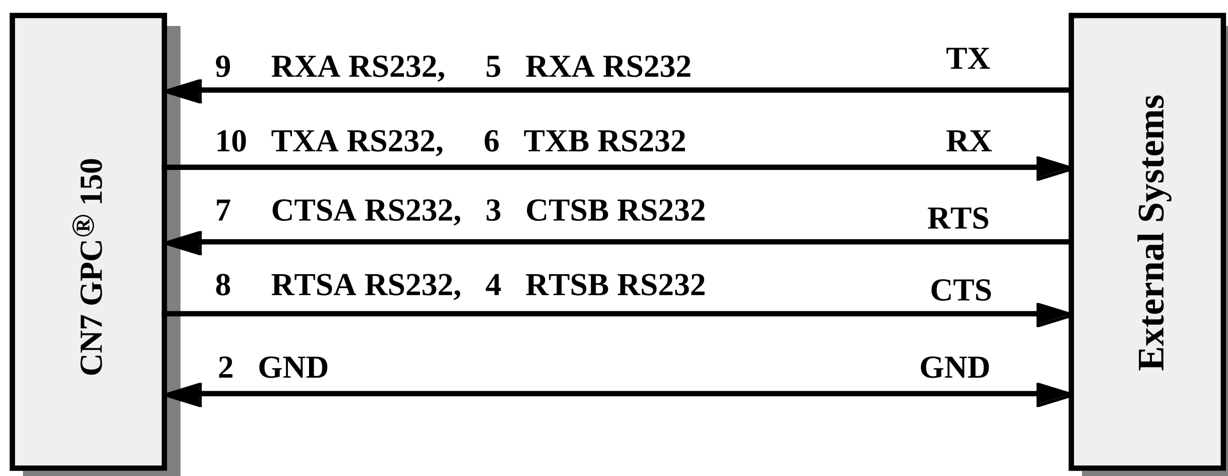


FIGURA 14: ESEMPIO COLLEGAMENTO PUNTO-PUNTO IN RS 232

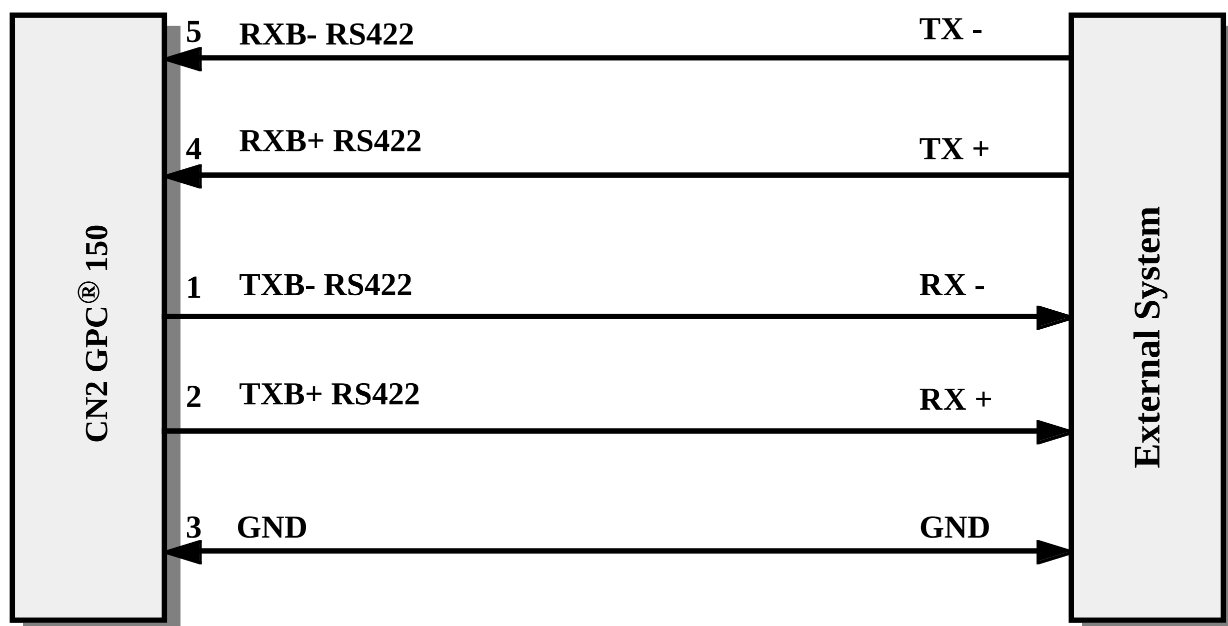


FIGURA 15: ESEMPIO COLLEGAMENTO PUNTO-PUNTO IN RS 422

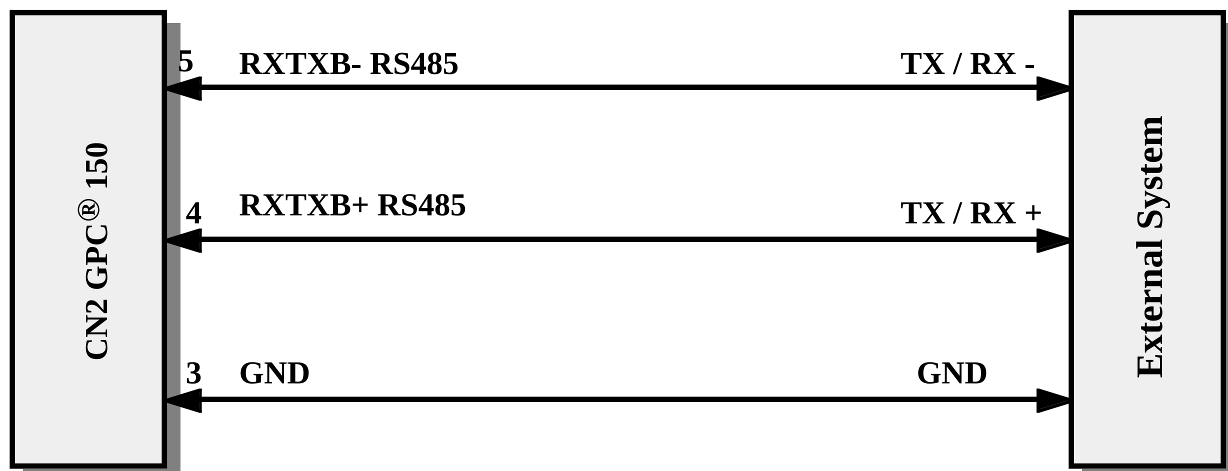


FIGURA 16: ESEMPIO COLLEGAMENTO PUNTO-PUNTO IN RS 485

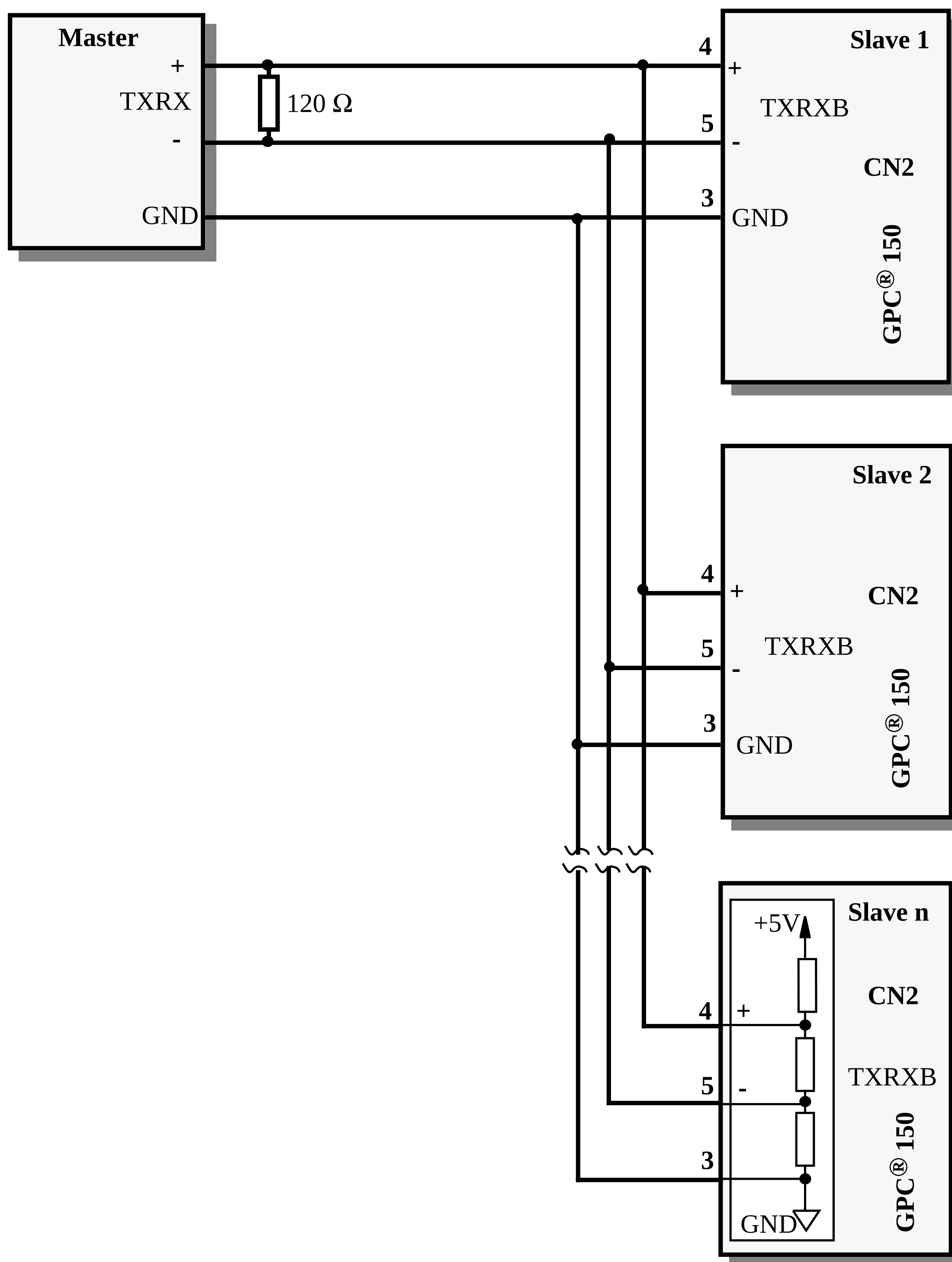


FIGURA 17: ESEMPIO DI COLLEGAMENTO IN RETE IN RS 485

Da notare che in una rete RS 485, devono essere presenti due resistenze di forzatura lungo la linea e due resitenze di terminazione (120 Ω), alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.
A bordo della **GPC® 150** è presente la circuiteria di terminazione e forzatura, che può essere inserita o disinserita, tramite appositi jumpers, come illutrato in seguito.
In merito alla resistenza di terminazione dell'unità Master, provvedere a collegarla solo se questa non é già presente al suo interno (ad esempio molti convertitori RS232-RS485 ne sono già provvisti).
Per maggiori informazioni consultare il Data-Book TEXAS INSTRUMENTS, "*RS 422 and RS 485 Interface Cicuits*", nella parte introduttiva riguardante le reti RS 422-485.



FIGURA 18: FOTO SCHEDA

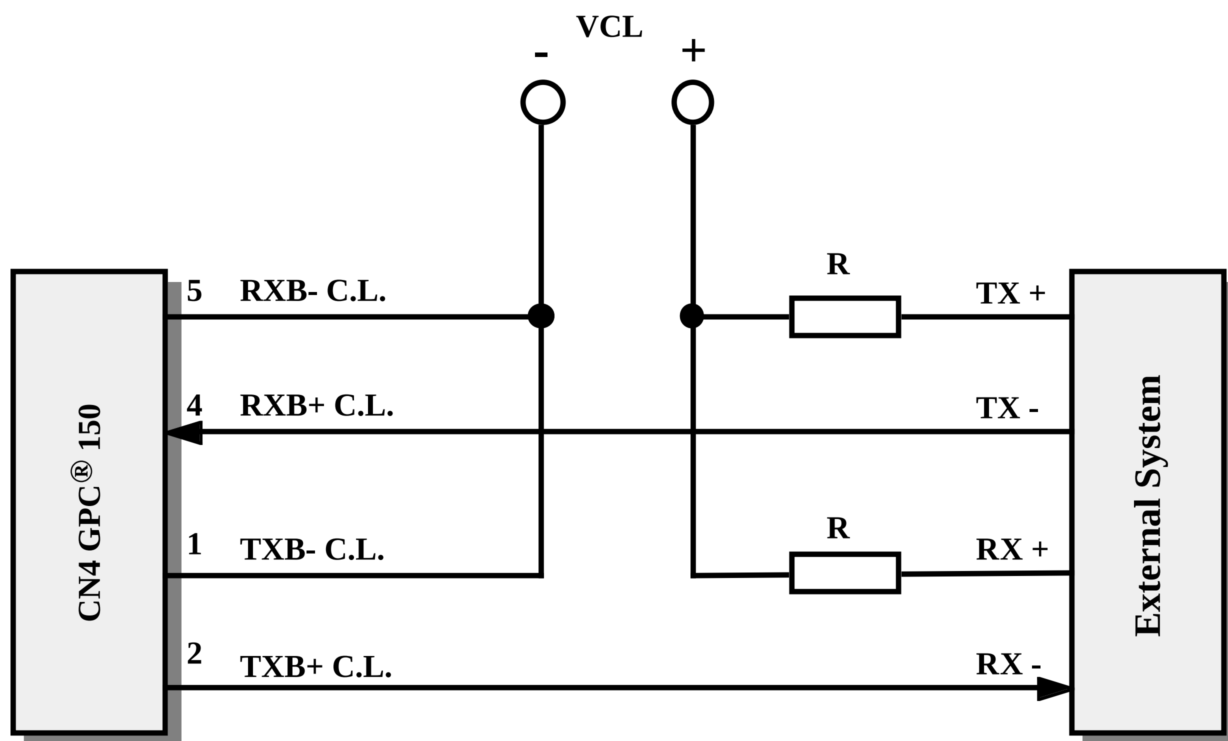


FIGURA 19: ESEMPIO DI COLLEGAMENTO PUNTO-PUNTO IN CURRENT LOOP A 4 FILI

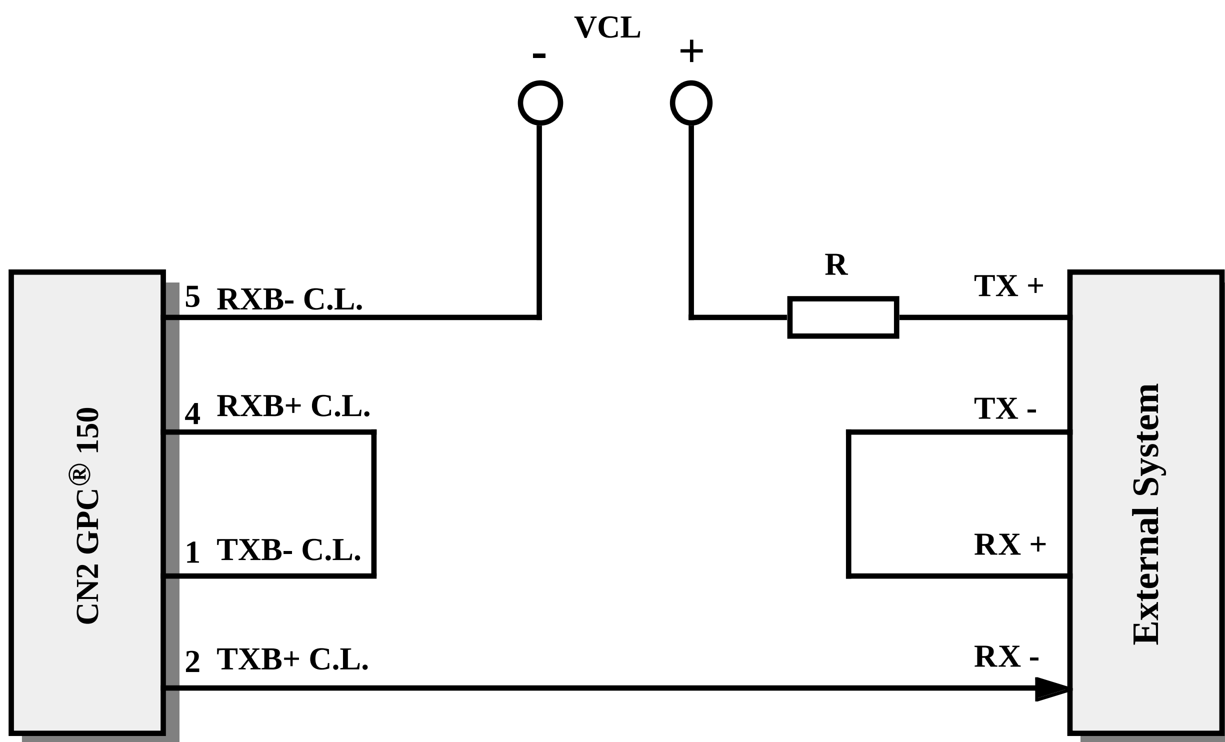


FIGURA 20: ESEMPIO DI COLLEGAMENTO PUNTO-PUNTO IN CURRENT LOOP A 2 FILI

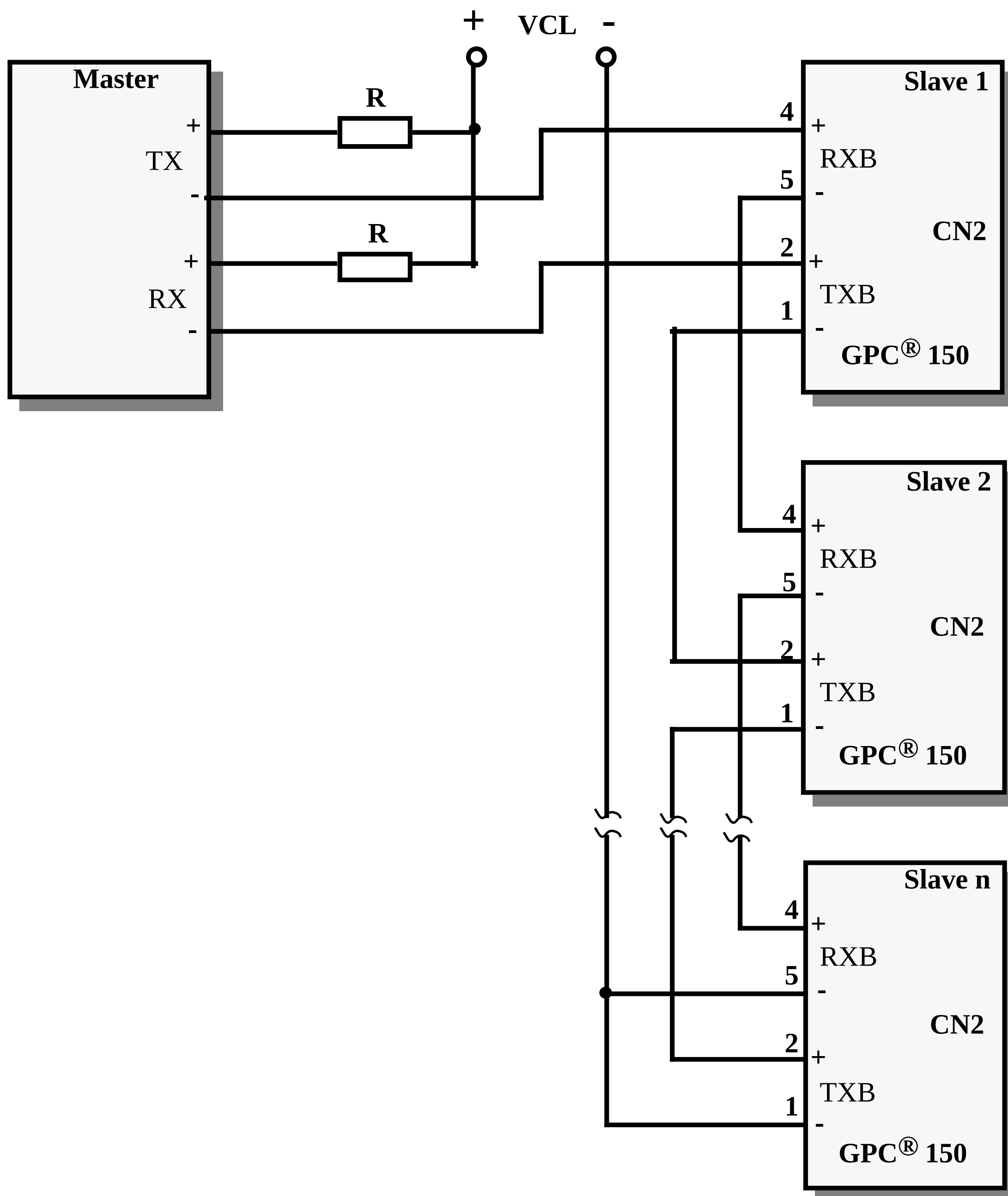


FIGURA 21: ESEMPIO DI COLLEGAMENTO IN RETE IN CURRENT LOOP PASSIVO

Per il collegamento in Current Loop passivo sono possibili due diversi tipi di collegamento: a 2 fili ed a 4 fili. Tali connessioni sono riportate nelle figure 19 e 20; in esse é indicata la tensione per alimentare l'anello (**VCL**) e le resistenze di limitazione della corrente (**R**). I valori di tali componenti variano in funzione del numero di dispositivi collegati e della caduta sul cavo di collegamento; bisogna quindi effettuare la scelta considerando che:
- si deve garantire la circolazione di una corrente di **20 mA**;
- su ogni trasmettitore cadono mediamente **2,35 V** con una corrente di 20 mA;
- su ogni ricevitore cadono mediamente **2,52 V** con una corrente di 20 mA;
- in caso di cortocircuito sulla rete ogni trasmettitore dissipi al massimo **125 mW**;
- in caso di cortocircuito sulla rete ogni ricevitore dissipi al massimo **90 mW**.

Per maggiori informazioni consultare il Data-Book HEWLETT-PACKARD, nella parte che riguarda gli opto-accoppiatori per Current Loop denominati **HCPL 4100** e **HCPL 4200**.

K1 - CONNETTORE PER ABACO® BUS

K1 è un connettore DIN 41612 corpo C a 90 gradi da 64 piedini.
Tramite K1 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite il BUS industriale **ABACO®** di cui questo connettore riporta i segnali a livello TTL. Nella figura seguente è riportato il pin out del BUS e quindi anche del relativo connettore, con le variazioni per l'utilizzo di CPU a 16 Bit rispetto a quelle a 8 Bit.

A BUS a 16 bit	A BUS a 8 bit	A GPC 150	PIN	C GPC 150	C BUS a 8 bit	C BUS a 16 bit
GND	GND	GND	1	GND	GND	GND
+5 Vdc	+5 Vdc	+5 Vdc	2	+5 Vdc	+5 Vdc	+5 Vdc
D0	D0	D0	3	N.C.		D8
D1	D1	D1	4	N.C.		D9
D2	D2	D2	5	N.C.		D10
D3	D3	D3	6	/INT	/INT	/INT
D4	D4	D4	7	/NMI	/NMI	/NMI
D5	D5	D5	8	N.C.	/HALT	D11
D6	D6	D6	9	N.C.	/MREQ	/MREQ
D7	D7	D7	10	/IORQ	/IORQ	/IORQ
A0	A0	A0	11	/RD	/RD	/RDLDS
A1	A1	A1	12	/WR	/WR	/WRLDS
A2	A2	A2	13	N.C.	/BUSAK	D12
A3	A3	A3	14	N.C.	/WAIT	/WAIT
A4	A4	A4	15	N.C.	/BUSRQ	D13
A5	A5	A5	16	/RESET	/RESET	/RESET
A6	A6	A6	17	N.C.	/M1	/IACK
A7	A7	A7	18	N.C.	/RFSH	D14
A8	A8	N.C.	19	N.C.	/MEMDIS	/MEMDIS
A9	A9	N.C.	20	N.C.	VDUSEL	A22
A10	A10	N.C.	21	N.C.	/IEI	D15
A11	A11	N.C.	22	N.C.		
A12	A12	N.C.	23	N.C.	CLK	CLK
A13	A13	N.C.	24	N.C.		/RDUDS
A14	A14	N.C.	25	N.C.		/WRUDS
A15	A15	N.C.	26	N.C.		A21
A16		N.C.	27	N.C.		A20
A17		N.C.	28	N.C.		A19
A18		N.C.	29	/R.T.	/R.T.	/R.T.
+12 Vdc	+12 Vdc	N.C.	30	N.C.	-12 Vdc	-12 Vdc
+5 Vdc	+5 Vdc	+5 Vdc	31	+5 Vdc	+5 Vdc	+5 Vdc
GND	GND	GND	32	GND	GND	GND

FIGURA 22: K1 - CONNETTORE PER ABACO® BUS

Legenda:

CPU a 8 bit

A0-A15 = O - Address BUS: BUS degli indirizzi.
D0-D7 = I/O - Data BUS: BUS dei dati.
/INT = I - Interrupt request: richiesta d'interrupt.
/NMI = I - Non Mascherable Interrupt: richiesta d'interrupt non mascherabile.
/HALT = O - Halt state: stao di Halt.
/MREQ = O - Memory Request: richiesta di operazione in memoria.
/IORQ = O - Input Output Request: richiesta di operazione in Input Output.
/RD = O - Read cycle status: richiesta di lettura.
/WR = O - Write cycle status: richiesta di scrittura.
/BUSAK = O - BUS Acknowledge: riconoscimento della richiesta di utilizzo del BUS.
/WAIT = I - Wait: Attesa.
/BUSRQ = I - BUS Request: richiesta di utilizzo del BUS.
/RESET = O - Reset: azzeramento.
/M1 = O - Machine cycle one: primo ciclo macchina.
/RFSH = O - Refresh: rinfresco per memorie dinamiche.
/MEMDIS = I - Memory Display: segnale emesso dal dispositivo periferico mappato in memoria.
VDUSEL = O - VDU Selection: abilitazione per il dispositivo periferico ad essere mappato in memoria.
/IEI = I - Interrupt Enable Input: abilitazione interrupt da BUS in catene di priorità.
CLK = O - Clock: clock di sistema.
/R.T. = I - Reset Tast: tasto di reset.
+5 Vdc = I - Linea di alimentazione a +5 Vcc.
+12 Vdc = O - Linea di alimentazione a +12 Vcc.
-12 Vdc = O - Linea di alimentazione a -12 Vcc.
GND = O - Linea di massa per tutti i segnali del BUS.
N.C. = - Non Collegato

CPU a 16 bit

A0-A22 = O - Address BUS: BUS degli indirizzi.
D0-D15 = I/O - Data BUS: BUD dei dati.
/RD UDS = O - Read Upper Data Strobe: lettura del byte superiore sul BUS dati.
/WR UDS = O - Write Upper Data Strobe: scrittura del byte superiore sul BUS dati.
/IACK = O - Interrupt Acknowledge: riconoscimento della richiesta d'interrupt da parte della CPU.
/RD LDS = O - Read Lower Data Strobe: lettura del byte inferiore sul BUS dati.
/WR LDS = O - Write Lower Data Strobe: scrittura del byte inferiore sul BUS dati.

N.B.
Le indicazioni di direzionalità sopra riportate sono riferite ad una scheda di comando (**CPU** o **GPC®**) e sono state mantenute inalterate in modo da non avere ambiguità d'interpretazione nel caso di sistemi composti da più schede.

TRIMMER E TARATURE

Sulla **GPC® 150** é presente il trimmer RV1 utilizzato per la taratura della scheda; tale componente permette di fissare il valore della tensione di riferimento su cui si basa la sezione di A/D Converter. La scheda viene sottoposta ad un accurato test di collaudo che provvede a verificare la funzionalità della stessa ed allo stesso tempo a tararla in tutte le sue parti. La taratura viene effettuata in laboratorio a temperatura costante di +20 gradi centigradi, seguendo la procedura di seguito descritta:

- Si effettua la taratura di precisione della Vref della sezione A/D ad un valore di 2,490 V o 5,000 V regolando il trimmer RV1, tramite un multimetro galvanicamente isolato a 5 cifre, sul test point TP1 .
- Si verifica la corrispondenza tra segnale analogico fornito in ingresso e combinazione letta dalla sezione A/D converter. La verifica viene effettuata fornendo un segnale di verifica con un calibratore campione e controllando che la differenza tra la combinazione determinata dalla scheda e quella determinata in modo teorico, non superi la somma degli errori della sezione A/D.
- Si blocca il trimmer della scheda, opportunamente tarato, tramite vernice.

Le sezioni d’interfaccia analogica utilizzano componenti di alta precisione che vengono addirittura scelti in fase di montaggio, proprio per evitare lunghe e complicate procedure di taratura. Per questo una volta completato il test di collaudo e quindi la taratura, il trimmer RV1 viene bloccato, in modo da garantire una immunità della taratura anche ad eventuali sollecitazioni meccaniche (vibrazioni, spostamenti, ecc.).
La circuiteria di generazione della tensione di riferimento definisce anche il fondo scala per tutti gli 8 canali di ingresso analogico; via software é possibile definire la modalità di acquisizione dei segnali tra "single ended" (8 ingressi riferiti ad AGND nel range 0÷2,490 V o 0÷5,000 V) e "fully differential" (4 ingressi differenziali nel range ±2,490 V o ±5,000 V), come descritto nell'appendice B di questo manuale. La scelta di questo valore di fondo scala deve essere specificata in fase d'ordine della scheda, infatti implica il montaggio di diversi componenti ed una diversa procedura di taratura. In assenza di indicazioni, la scheda viene fornita nella versione standard con fondo scala a 2,490 V. L'utente di norma non deve intervenire sulla taratura della scheda, ma se lo dovesse fare (a causa di derive termiche, derive del tempo, ecc.) deve rigorosamente seguire la procedura sopra illustrata. Per una facile individuazione di RV1 e TP1 a bordo scheda, si faccia riferimento alla figura 24.

TEST POINT

La scheda é provvista di un test point denominato TP1, che permette la lettura attraverso un multimetro galvanicamente isolato, della tensione di riferimento che viene regolata in laboratorio a Vref=2,4900 V o 5,000 V. Il TP1 é composto da due contatti con la seguente corrispondenza:

pin +	->	Vref
pin -	->	GND

Per una facile individuazione di tale test point a bordo scheda, si faccia riferimento alla figura 24, mentre per ulteriori informazioni sul segnale Vref si veda il paragrafo “TRIMMER E TARATURE”.

INTERFACCIAMENTO DEGLI I/O CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 150** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione.

- Per i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485 e Current Loop fare riferimento alle specifiche standard di ognuno di questi protocolli.
- Tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1.
- I segnali d'ingresso alla sezione A/D devono essere collegati a segnali analogici a bassa impedenza che rispettino il range di variazione ammesso che può essere 0÷2,048 V o ±2,048 V o 0÷5,000 V o ±5,000 V a seconda della configurazione. Da notare che gli 8 ingressi analogici presenti su CN5 sono dotati di condensatori di filtro che garantiscono una maggiore stabilità sul segnale acquisito, ma che allo stesso tempo abbassano la frequenza di taglio.

SELEZIONE TIPO INGRESSI ANALOGICI

La scheda **GPC® 150**, può avere ingressi analogici in tensione e/o corrente, come descritto nei precedenti paragafi e capitoli. La selezione del tipo d'ingresso viene essere effettuata in fase di ordine della scheda montando un apposito modulo opzionale di conversione corrente-tensione basato su resistenze di caduta di precisione (codice opzione **.8420**). In particolare vale la corrispondenza:

R30	->	canale 0
R31	->	canale 1
R32	->	canale 2
R33	->	canale 3
R34	->	canale 4
R35	->	canale 5
R36	->	canale 6
R37	->	canale 7

Nel caso il modulo corrente-tensione non sia montato (default) il corrispondente canale accetta un ingresso in tensione nei range 0÷2,490 V; viceversa un ingresso in corrente.
Il valore della resistenza, su cui si basa il convertitore corrente-tensione, si ottiene dalla seguente formula:

R = 2,490 V / Imax

Normalmente i moduti di conversione tensione-corrente, si basano su resistenze di precisione da **124Ω**, relative ad ingressi 4÷20 mA o 0÷20 mA.
Per eventuali esigenze al di fuori dei valori standard sopracitati si prega di contattare la **grifo®**.
Per una facile individuazione del modulo descritto e delle relative resistenze componenti, fare riferimento alla figura 24.

SEGNALAZIONI VISIVE

La scheda **GPC® 150** é dotata di 6 LEDs con cui segnala alcune condizioni di stato:

LEDs	COLORE	FUNZIONE
LD1	Rosso	Segnala l'attivazione della circuiteria di watch dog esterno.
LD2	Rosso	Segnala l'attivazione della linea /INT.
LD3	Giallo	Jumper di RUN/DEBUG in posizione RUN.
LD4	Verde	Jumper di RUN/DEBUG in posizione DEBUG.
LD5	Rosso	Segnala lo stato di HALT della CPU.
LD6	Verde	LED pilotabile via software.

FIGURA 23: TABELLA DELLE SEGNALAZIONI VISIVE

La funzione principale di questi LEDs é quella di fornire un'indicazione visiva dello stato della scheda, facilitando quindi le operazioni di debug e di verifica di funzionamento di tutto il sistema. Per una più facile individuazione di tali segnalazioni visive, si faccia riferimento alla figura 24.

INTERFACCE PER I/O DIGITALI

Tramite CN3, CN4 e CN6 (connettori compatibili con standard di I/O **ABACO®**) si può collegare la **GPC® 150** ai numerosi moduli del carteggio **grifo®** che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfacce richiedono solo un flat cable da 20 vie (FLT.20+20) con cui é possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione é semplice ed immediata. Di particolare interesse è la possibilità di collegare direttamente serie di moduli come:

- **QTP 16P**, **QTP 24P**, **KDL x24**, **KDF 224**, **DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla **GPC® 150**. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.
- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo é dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con un completo file system e rendono utilizzabili le memory card direttamente con le istruzioni ad alto livello per la gestione dei files, oppure con procedure che consentono di leggere e scrivere dati ad indirizzi specifici della memory card.
- **IAC 01**, **DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.
- **RBO xx**, **TBO xx**, **XBI xx**, **OBI xx** con cui bufferare i segnali di I/O TTL nei confronti del campo. Con questi moduli i segnali di input vengono convertiti in ingressi optoisolati di tipo NPN o PNP, mentre i segnali di output vengono convertiti in uscite galvanicamente isolate a transistor o relé. Alcune di queste interfacce possono essere collegate direttamente anche al CN4.

Per maggiori informazioni relative si veda il capitolo “SCHEDE ESTERNE” e la documentazione del software utilizzato.

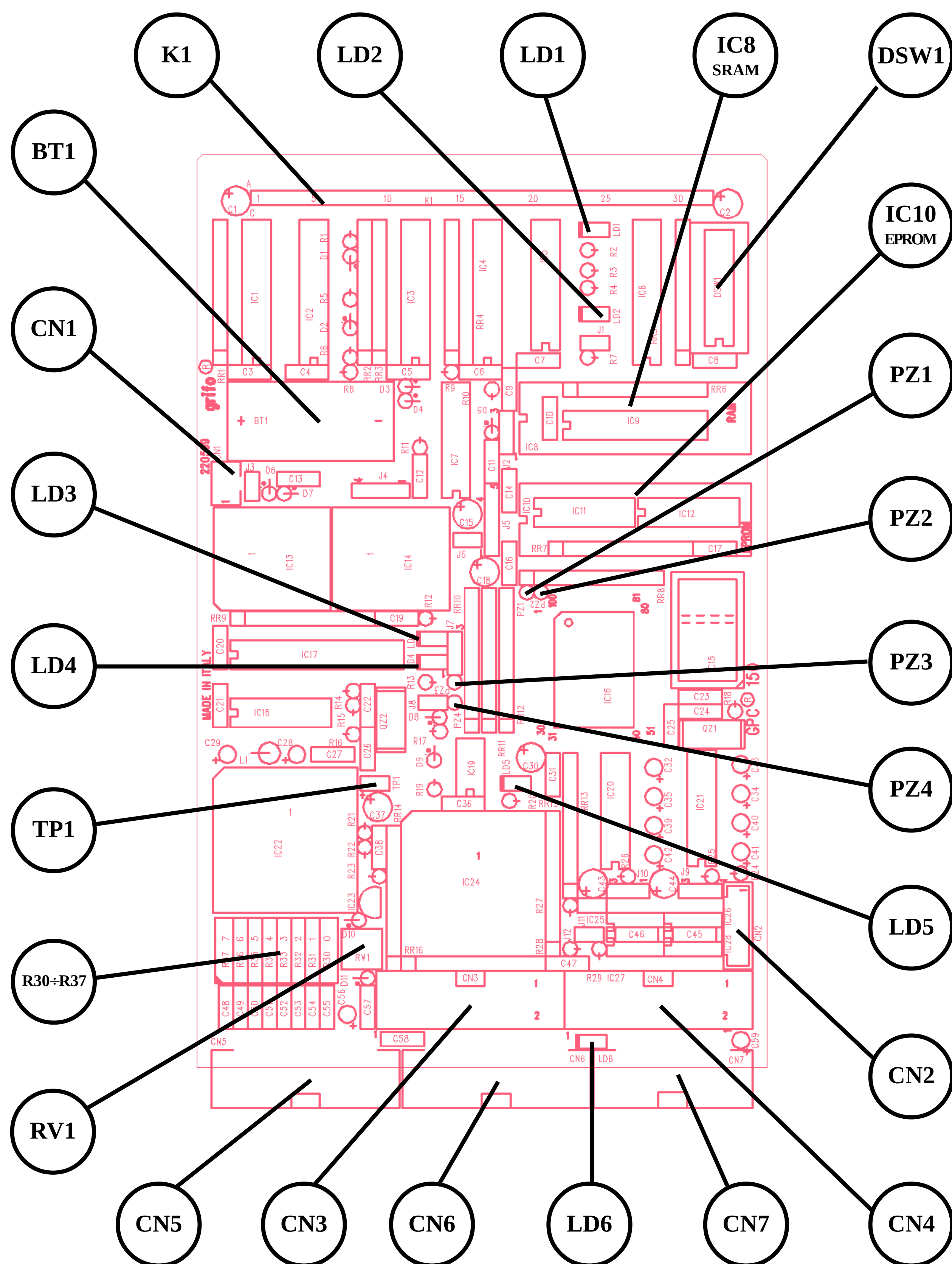


FIGURA 24: DISPOSIZIONE CONNETTORI, MEMORIE, DIP SWITCH ETC.

JUMPERS

Esistono a bordo della **GPC® 150** 12 jumpers a cavaliere, con cui é possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne é riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalità di connessione.

JUMPERS	N. VIE	UTILIZZO
J1	2	Collega il segnale /INT della CPU all'RTC.
J2	3	Seleziona il size per la SRAM di IC8.
J3	2	Collega batteria al Litio di bordo alla circuiteria di back up.
J4	4	Collega i watch dogs al segnale /RESET o al segnale /INT della CPU.
J5	5	Selezione il tipo di dispositivo di IC10.
J6	2	Collega il segnale /NMI della CPU all'allarme del power failure.
J7	3	Seleziona la modalità di RUN/DEBUG
J8	2	Collega il segnale /INT della CPU all'A/D converter.
J9	3	Seleziona direzionalità e modalità di attivazione della linea seriale B in RS 422, RS 485.
J10	3	Seleziona tipo di comunicazione seriale per linea seriale B (RS 232, RS 422, RS 485, Current Loop).
J11, J12	2	Collegano la circuiteria di terminazione RS 422, RS 485.

FIGURA 25: TABELLA RIASSUNTIVA JUMPERS

Nelle sucessive tabelle é riportata una descrizione tabellare delle possibili connessioni dei 12 jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa o alla figura 33 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione. Per l'individuazione dei jumpers a bordo della scheda, si utilizzi invece la figura 26. In tutte le seguenti tabelle l'***** indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

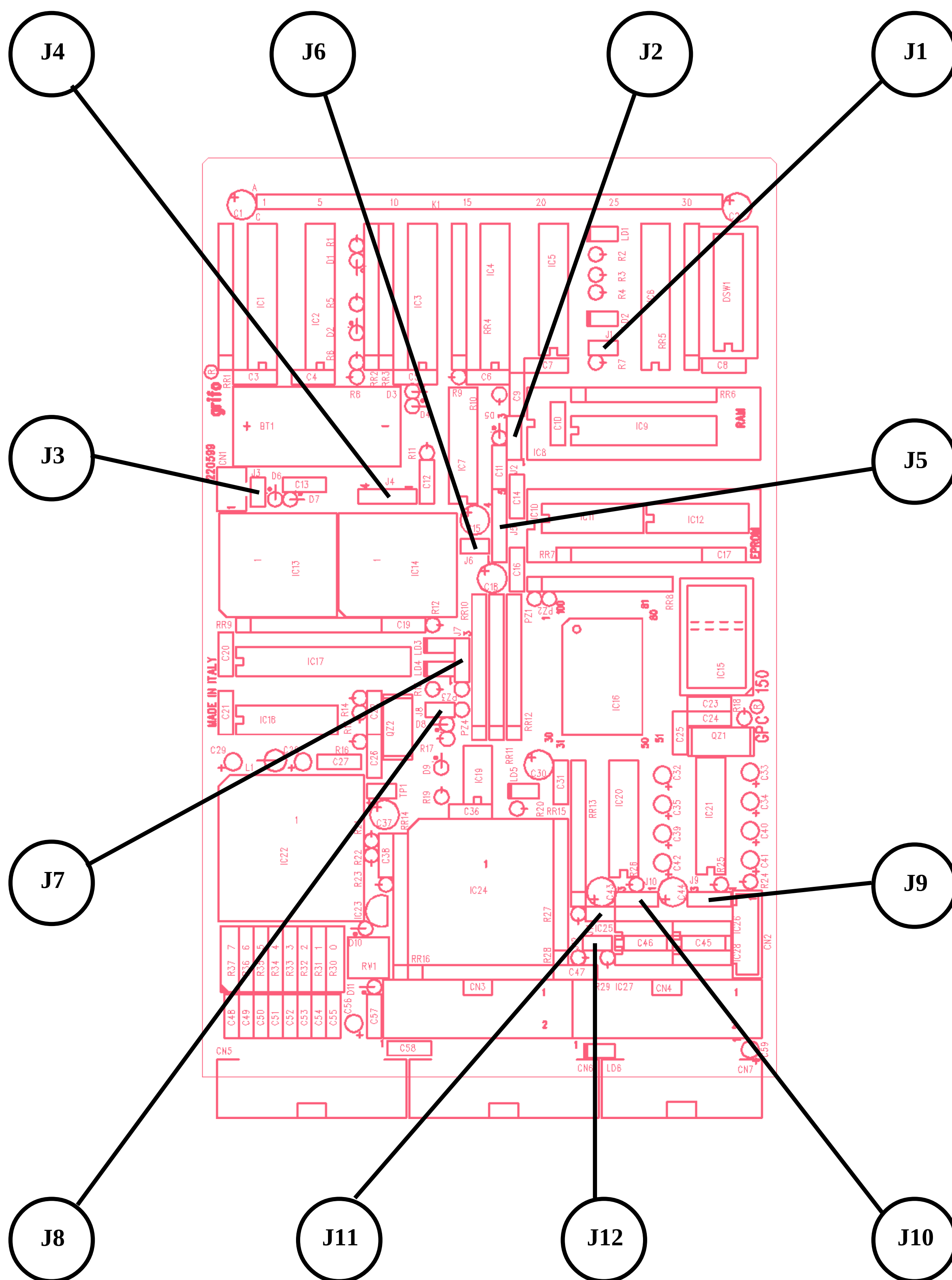


FIGURA 26: DISPOSIZIONE JUMPERS

JUMPERS A 2 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J1	non connesso	Non collega il segnale /INT della CPU alla sezione RTC.	*
	connesso	Collega il segnale /INT della CPU alla sezione RTC.	
J3	non connesso	Non collega batteria BT1 alla circuiteria di back up.	*
	connesso	Collega la batteria BT1 alla circuiteria di back up.	
J6	non connesso	Non collega il segnale /NMI della CPU alla sezione power failure.	*
	connesso	Collega il segnale /NMI della CPU alla sezione power failure.	
J8	non connesso	Non collega il segnale /INT della CPU alla sezione A/D converter.	*
	connesso	Collega il segnale /INT della CPU alalla sezione A/D converter.	
J11	non connesso	Non collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 485 o RS 422.	*
	connesso	Collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 485 o RS 422.	
J12	non connesso	Non collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 485 o RS 422.	*
	connesso	Collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 485 o RS 422.	

FIGURA 27: TABELLA JUMPERS A 2 VIE

***** indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

JUMPERS A 3 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J2	posizione 1-2	Predispone IC 8 per 128KBytes di SRAM.	*
	posizione 2-3	Predispone IC 8 per 512KBytes di SRAM.	
J7	posizione 1-2	Seleziona la modalità di RUN, segnalata dall'accensione del LED LD4.	*
	posizione 2-3	Seleziona la modalità di DEBUG, segnalata dall'accensione del LED LD3.	
J9	posizione 1-2	Predispone la linea seriale B per la comunicazione in RS 485.	
	posizione 2-3	Predispone la linea seriale B per la comunicazione in RS 422.	*
J10	posizione 1-2	Collega il segnale /RXDB della SIO a bordo della CPU alla linea di ricezione del driver RS 232.	*
	posizione 2-3	Collega il segnale /RXDB della SIO a bordo della CPU alla linea di ricezione dei driver RS 422, RS 485 o Currrent Loop.	

FIGURA 28: TABELLA JUMPERS A 3 VIE

JUMPER A 4 VIE

JUMPER	CONNESSIONE	UTILIZZO	DEF.
J4	posizione 1-2	Collega il watch dog interno al segnale /INT della CPU.	
	posizione 2-3	Collega il watch dog interno al segnale di reset.	
	posizione 3-4	Collega il watch dog esterno al segnale di reset.	
	non connesso	Non collega i watch dogs al reset nè al segnale /INT	*

FIGURA 29: TABELLA JUMPERS A 4 VIE

JUMPER A 5 VIE

JUMPER	CONNESSIONE	UTILIZZO	DEF.
J5	posizione 1-2 e 3-4	Predispone IC10 per EPROM.	
	posizione 2-3 e 4-5	Predispone IC10 per FLASH EPROM.	*

FIGURA 30: TABELLA JUMPERS A 5 VIE

RESET E WATCH DOG

La scheda **GPC® 150** è dotata di due circuiterie di watch dog, una interna alla CPU ed una esterna, molto efficienti e di facile gestione software. Le caratteristiche della circuiteria esterna sono le seguenti:

- funzionamento astabile;
- tempo d'intervento di circa 1420 msec;
- attivazione via hardware;
- retrigger via software;

Nel funzionamento astabile una volta scaduto il tempo d'intervento la circuiteria si attiva, rimane attiva per il tempo di reset (della durata di 180 msec) e quindi si disattiva nuovamente. L'intervento del watch dog esterno è segnalato dall'accensione del LED LD1.
Le caratteristiche della circuiteria interna sono le seguenti:

- funzionamento monostabile;
- tempo d’intervento programmabile via software;
- attivarazione via software e via hardware;
- retrigger via software;

Si ricorda che nel funzionamento monostabile, una volta scaduto il tempo d’intervento, la circuiteria di Watch Dog si attiva rimanendo attiva fino ad un power on o reset.
In corrispondenza dell'attivazione e sucessiva disattivazione del segnale di /RESET la scheda riprende l'esecuzione del programma salvato su IC10 (all'indirizzo 0000H), partendo da una condizione di azzeramento generale.
Si ricorda inoltre che il segnale di /RESET generato dalla scheda é riportato anche sul connettore K1 (pin 16C) e che tra le sorgenti di reset della **GPC® 150**, oltre alla circuiteria di watch dog esterna, sono sempre presentile periferiche interne alla CPU, l'RTC, il contatto di reset R.T. (pin 29C di K1), l'A/D converter e la circuiteria di power good.
Per quanto riguarda l'operazione di retrigger della circuiteria di watch dog esterna, si faccia riferimento al paragrafo “WATCH DOG” del capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

BACK UP

La **GPC® 150** é provvista di una batteria al litio BT1 che provvede a tamponare le SRAM ed il RTC di bordo anche in assenza della tensione di alimentazione. Il jumper J3 provvede a collegare o meno questa batteria in modo da salvaguardarne la durata prima dell'installazione o in tutti i casi in cui il back up non é necessario. Una seconda batteria esterna può essere collegata alla circuiteria di back up tramite il connettore CN1: quest’ultima non é interessata dalla configurazione del jumper J3 e sostituisce a tutti gli effetti la BT1.
Per la scelta della batteria esterna di back up seguire le indicazioni del paragrafo “CARATTERISTICHE ELETTRICHE”, mentre per la sua individuazione si veda la figura 24.

POWER FAILURE

In abbinamento alla circuiteria di power management gestita dalla CPU della **GPC® 150** é inoltre disponibile un'interessante circuiteria di power failure. Quest'ultima, con il jumper J6, può essere collegata all'interrupt /NMI del microprocessore.
La circuiteria si preoccupa di controllare la tensione di alimentazione e quando questa scende al valore di soglia (**52 mV** prima dell'intervento del reset), provvede ad attivare l'uscita richiedendo l'attenzione della CPU nel caso che J6 sia collegato.
Da notare che il tempo che intercorre tra l'attivazione del power failure e quello del reset, varia in funzione del tipo di alimentazione della scheda; questo normalmente é nell'ordine dei 100 μsec, sufficienti solo per eseguire procedure di risposta veloci (ad esempio il salvataggio di un flag nella memoria tamponata).
L'uso classico della circuiteria di power failure é quello di informare la scheda dell'imminente caduta della tensione di alimentazione, in modo da salvare le necessarie condizioni di stato.

INTERRUPTS

Una caratteristica peculiare della **GPC® 150** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupts e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento ai data sheets del microprocessore oppure all'appendice B di questo manuale.

- **ABACO®** BUS	->	Genera un /NMI sulla CPU, tramite la linea /NMI di K1. Genera un /INT normale, senza rispettare la catena di priorità daisy chain, tramite la linea /INT di K1.
- Power failure	->	Genera un /NMI sulla CPU, a seconda del collegamento di J6.
- Real Time Clock	->	Genera un /INT normale, senza rispettare la catena di priorità daisy chain, a seconda del collegamento diJ1.
- A/D Converter	->	Genera un /INT normale, senza rispettare la catena di priorità daisy chain, a seconda del collegamento di J8.
- Watch Dog interno	->	Genera un /INT normale,senza rispettare ma catena di priorità daisy chain,a seconda del collegamento di J4.
- Periferiche della CPU	->	Generano un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain le sezioni: CTC, SIO, PIO.

La catena di priorità daisy chain presente sulla scheda è composta solo dalle tre periferiche SIO, PIO e CTC e può essere programmata via software tramite uno dei registri interni al microprocessore. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.
Per ulteriori informazioni si veda l'appendice B di questo manuale.

COMUNICAZIONE SERIALE

La linea di comunicazione seriale A della scheda **GPC® 150** può essere bufferata solo in RS 232, mentre la linea seriale B può essere bufferata in RS 232, RS 422, RS 485 o Current Loop. La selezione del tipo d'interfacciamento avviene via hardware e viene effettuata tramite un opportuno strippaggio dei jumpers di bordo, come può essere desunto dalla lettura delle precedenti tabelle. Dal punto di vista software sono invece definibili tutti i parametri del protocollo fisico di comunicazione tramite la programmazione dei registri interni della CPU.
Alcuni componenti necessari per le configurazioni RS 422, RS 485 e Current Loop non sono montati e collaudati sulla scheda in configurazione di default; per questo la prima configurazione della seriale B non in RS 232 deve essere sempre effettuata dai tecnici **grifo®**. A questo punto l'utente può cambiare autonomamente la configurazione seguendo le informazioni sotto riportate:

- LINEA SERIALE B SETTATA IN RS 232 (configurazione default)

			IC21	= driver MAX 202
J9	=	indifferente	IC25	= indifferente
J10	=	posizione 1-2	IC26	= indifferente
J11, J12	=	indifferente	IC27	= indifferente
			IC28	= indifferente

- LINEA SERIALE B SETTATA IN CURRENT LOOP (opzione .CLOOP)

			IC21	= indifferente
J9	=	indifferente	IC25	= nessun componente
J10	=	posizione 2-3	IC26	= nessun componente
J11, J12	=	non connessi	IC27	= HCPL 4200
			IC28	= HCPL 4100

Da ricordare che l'interfaccia seriale in current loop é di tipo passivo e si deve quindi collegare una linea current loop attiva, ovvero provvista di un proprio alimentatore. L'interfaccia current loop può essere utilizzata per realizzare sia connessioni punto punto che multipunto con un collegamento a 4 o 2 fili.

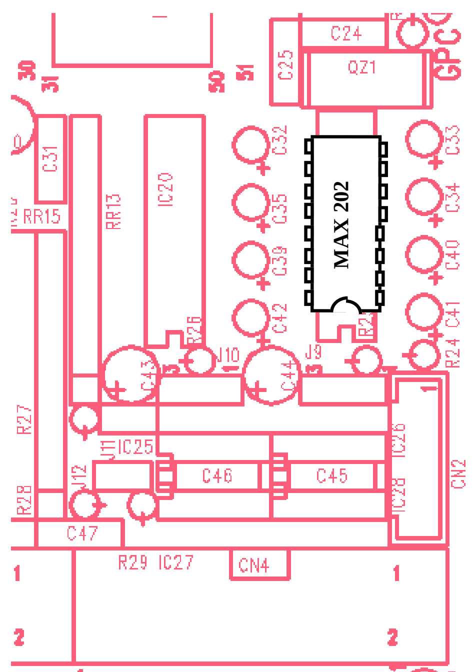
- LINEA SERIALE B SETTATA IN RS 422 (opzione .RS 422)

			IC21	= indifferente
J9	=	posizione 2-3	IC25	= SN 75176 o MAX 483
J10	=	posizione 2-3	IC26	= SN 75176 o MAX 483
J11, J12	=	(*1)	IC27	= nessun componente
			IC28	= nessun componente

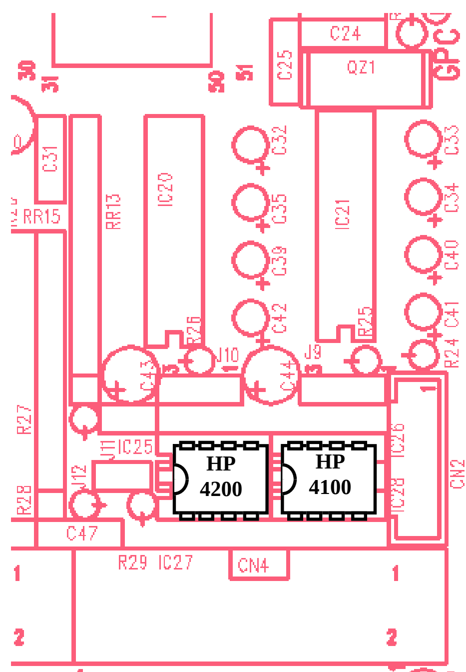
Lo stato del segnale /RTSB, gestito via software, consente di abilitare o disabilitare il trasmettitore come segue:

/RTSB = livello basso = stato logico 0 -> trasmettitore attivo
/RTSB = livello alto = stato logico 1 -> trasmettitore disattivo

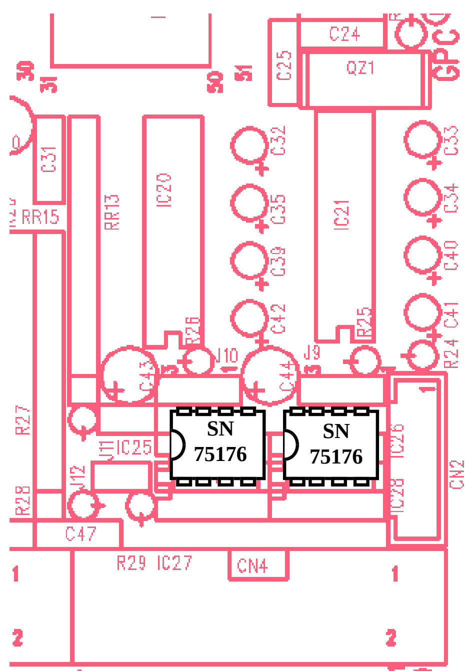
Per sistemi punto punto, la linea /RTSB può essere mantenuta sempre bassa (trasmettitore sempre attivo), mentre per sistemi multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione.



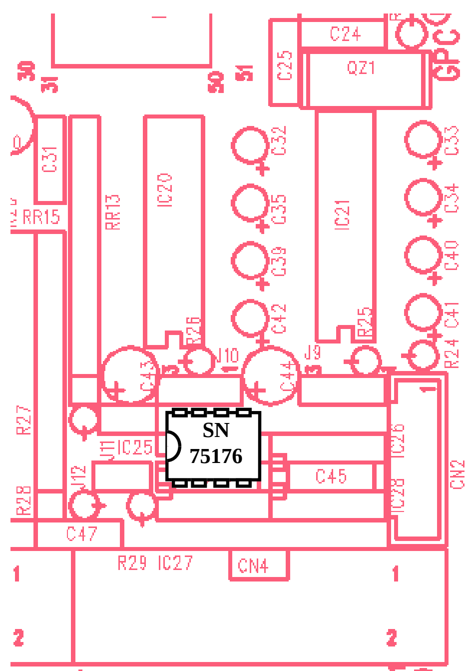
Seriale B in RS 232



Seriale B in Current Loop



Seriale B in RS 422



Seriale B in RS 485

FIGURA 31: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE

- LINEA SERIALE B SETTATA IN RS 485 (opzione .RS 485)

			IC21	= indifferente
J9	=	posizione 1-2	IC25	= SN 75176 o MAX 483
J10	=	posizione 2-3	IC26	= nessun componente
J11, J12	=	(*1)	IC27	= nessun componente
			IC28	= nessun componente

In questa modalità le linee da utilizzare sono i pin 4 e 5 di CN2, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale /RTSB, gestito via software, come segue:

/RTSB = livello basso = stato logico 0 -> linea in trasmissione
/RTSB = livello alto = stato logico 1 -> linea in ricezione

Questa comunicazione la si utilizza sia per connessioni punto punto che multipunto con un collegamento a 2 fili. Sempre in questa modalità é possibile ricevere quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

(*1) Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers J11 e J12 é possibile connettere la circuiteria di terminazione e forzatura sulla linea . Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione.

In fase di reset o power on, il segnale /RTSB è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.
Per ulteriori informazioni relative alla comunicazione seriale fare riferimento agli esempi di collegamento delle figure 14÷20 ed all'appendice B di questo manuale.

INGRESSI DI CONFIGURAZIONE

La scheda **GPC® 150** è provvista di un Dip Switch ad 8 vie (DSW1) e di 1 jumper (J7), il quale svolge la funzione di RUN/DEBUG, tipicamente utilizzabili per la configurazione del sistema, i cui valori sono sono acquisibili via software. Le applicazioni più immediate possono essere quelle destinate al settaggio delle condizioni di lavoro od alla selezione di parametri relativi al firmware di bordo, come ad esempio: selezione della lingua di rappresentazione, identificazione del sistema all'interno di una rete di comunicazione seriale, selezione della modalità di test o di configurazione, ecc.
Le modalità di acquisizione degli ingressi di configurazione sono riportate nel capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO", mentre per una facile individuazione della loro posizione si vedano le figure 24 e 26.

SELEZIONE MEMORIE

La **GPC® 150** può montare fino ad un massimo di 5128K bytes di memoria variamente suddivisa. In particolare per la configurazione seguire le informazioni riportate nella seguente tabella:

IC	DISPOSITIVO	DIMENSIONE	STRIPPAGGIO
10	EPROM	128K Byte	J5 in posizione 1-2, 3-4
	EPROM	256K Byte	J5 in posizione 1-2, 3-4
	EPROM	512K Byte	J5 in posizione 1-2, 3-4
	FLASH EPROM	128K Byte	J5 in posizione 2-3, 4-5
	FLASH EPROM	512K Byte	J5 in posizione 2-3, 4-5
8	SRAM	128K Byte	J2 in posizione 1-2
	SRAM	512K Byte	J2 in posizione 2-3
13	FLASH EPROM	64K÷2M Byte	-
14	FLASH EPROM	64K÷2M Byte	-
19	EEPROM	256÷8K Byte	-

FIGURA 32: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi sopra descritti devono essere con pin out di tipo JEDEC a parte l'EEPROM seriale di IC19 che deve essere richiesta alla **grifo®** in fase di ordine della scheda. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione della casa costruttrice.
Normalmente la **GPC® 150** é fornita nella sua configurazione di default con solamente 128K SRAM su IC8 e 512 bytes di EEPROM su IC19; ogni configurazione diversa può essere autonomamente montata dall'utente oppure richiesta nella fase di ordine. Sotto sono riportate i codici delle opzioni di memoria disponibili:

.512K	->	512K SRAM
.FS	->	2M FLASH EPROM seriale
.EE08	->	1K EEPROM seriale
.EE16	->	2K EEPROM seriale
.EE64	->	8K EEPROM seriale

Per ulteriori informazioni e costi delle opzioni, contattare direttamente la **grifo®**, mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 24.

DESCRIZIONE SOFTWARE

Questa scheda ha la possibilità di usufruire di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche. In generale la scheda può utilizzare tutte le risorse software disponibili per il processore montato, ovvero i numerosi pacchetti ideati per lo Z80. Tra questi ricordiamo:

GET80

Completo programma di EDITOR , Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 80. Questo programma, sviluppato dalla **grifo**®, consente di operare in condizioni ottimali, tutte le volte che si deve usare il **GDOS** o la versione per FLASH EPROM **FGDOS**. Viene fornito in abbinamento all'aquisto di uno dei pacchetti citati e viene personalizzato con il nome ed i dati dell'acquirente. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma SOFT-PC. Viene fornito su dischetti MS-DOS da 3"1/2 con relativa documentazione sul manuale **GDOS 80**.

GDOS 150

Tools di sviluppo completo per le schede della fam. 80. Viene fornito in abbinamento al programma **GET80**, per consentire un immediato e pieno utilizzo di questo potente strumento di sviluppo. Il GDOS può essere concettualmente diviso in due distinte strutture. Una struttura lavora essenzialmente su PC, mantenendo il collegamento con la seconda tramite la linea seriale. La seconda risiede in EPROM ed opera a bordo scheda. La parte a bordo scheda è essenzialmente un potente Sistema Operativo che si preoccupa di eseguire tutte quelle funzioni a più basso livello e nello stesso tempo consente di poter operare con linguaggi ad Alto Livello direttamente a bordo scheda. L'abbinamento delle due strutture fa si che la scheda ed il PC si comportino come un'unica macchina. Infatti la scheda usa, come se fossero le proprie, le risorse del PC come le Memoria di Massa quali i Floppy-Disk, l'Hard-Disk; la Stampante ecc. Il tutto avviene in modo completamente trasparente per l'utente il quale usa questo tipo di Macchina Virtuale esattamente come è abituato ad adoperare il suo PC. Molto interessante è la compatibilità del **GDOS** con tutti i linguaggi ed i programmi CP/M. Questo significa che se l'utente ha dei programmi o dei linguaggi a cui sono legate delle applicazioni o delle sue specifiche conoscenze o altro, può utilizzare tutto quanto ha, virtualmente senza cambiamenti, in modo immediato sotto **GDOS**.
Il **GDOS**, oltre ai tipici drivers del PC, gestisce come RAM-Disk e ROM-Disk tutte le risorse di memoria della scheda, eccedenti i 64KBytes, là dove queste siano presenti. Questo significa che i dispositivi di RAM a bordo scheda, che spesso sono Backed tramite batterie, possono essere gestite in modo diretto dai linguaggi ad alto livello, trattando comodamente come Files, le informazioni da archiviare o ricercare.
Il Tools viene fornito in EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

FGDOS 150

Caratteristiche analoghe al **GDOS**, con la differenza che è in grado di programmare e cancellare le FLASH-EPROM a bordo scheda, con i programmi generati dall'utente. In questo modo non è necessario un programmatore di EPROM esterno per congelare il programma. E' inoltre possibile, tramite un PC Portatile, intervenire direttamente a bordo macchina per cambiare il programma di gestione.
Il Tools viene fornito in FLASH-EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

xGDOS MCI 150
Versione del **GDOS**, o del **FGDOS**, in grado di gestire, ad alto livello, le schedine di Memory-Card tipo PCMCIA. In abbinamento alla scheda **MCI 64**, il Sistema Operativo di bordo gestisce come RAM-Disk o ROM-Disk le Memory-Card. Questo consente di risolvere rapidamente, e senza crearsi problemi di gestione software, tutte quelle problematiche di raccolta dati che spesso si incontrano nella realizzazione di strutture di Data-Logging, gestendo questi dispositivi sempre con linguaggi ad alto livello.
Il Tools viene fornito in EPROM od in FLASH-EPROM, a secondo le necessità dell'utente, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

CBZ-80
Completo **Compilatore BASIC**, per la fam. di CPU Z80 compatibili, in grado di generare un codice molto compatto e molto veloce. Per poter funzionare ha bisogno di essere usato in abbinamento ad una qualsiasi delle versioni del **GDOS**. Lo **CBZ-80** consente di superare la limitazione dei 64 KBytes indirizzabili dalle CPU della famiglia 80. A questo scopo si utilizza la tecnica del CHAIN, offerta dal Sistema Operativo **GDOS** in abbinamento alle possibilità di RAM-Disk e ROM-Disk offerte dalle varie schede del carteggio **Abaco**®. Usato con il potente Editor incorporato nel programma **GET80**, si dispone di un potente strumento di lavoro per generare, con estrema efficienza e comodità, qualsiasi programma applicativo.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS e con il relativo manuale tecnico ed una serie di esempi.

PASCAL-80
Completo e molto efficiente Compilatore PASCAL per la famiglia 80 di CPU. Ha delle caratteristiche operative analoghe a quelle del **Turbo PASCAL** Ver.3 della **Borland**, a cui si fà riferimento per quanto riguarda sia le caratteristiche che la manualistica. Il **PASCAL-80** lavora in abbinamento ad una delle varie versioni di Sistema Operativo **GDOS**. Le modalità di Emulazione Terminale offerta dal programma **GET80**, supportano pienamente il tipico Editor a pieno schermo del PASCAL, compresa la gestione degli attributi. Sfruttando la possibilità di gestione di RAM-Disk e ROM-Disk, offerta dal **GDOS**, si possono sfruttare appieno le possibilità di OVERLAY del PASCAL per superare il limite dei 64KBytes di indirizzamento delle CPU della famiglia 80.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS in abbinamento alle note tecniche e ad una serie di esempi.

RSD 150
Questo Tools è un **Remote Simbolic Debugger** che ha due modalità operative. La prima è una modalità di debugger in simulazione. La seconda è una modalità di debugger in remoto. In questo ultimo caso si riesce ad effettuare il debugger del codice direttamente sulla scheda target. Tramite la linea seriale, si effettuato il Down-Load del programma in HEX e della relativa tabella dei simboli. Fatto il caricamento, è possibile debuggare il codice in modo simbolico, in modalità Step-To-Step, mettere break-point, ecc. con delle caratteristiche di comodità simili a quelle di un In Circuit Emulator. Il programma **RSD** è in grado di supportare sia il codice **Z80** che i codici aggiuntivi dello **Z180**. Le possibilità di debugger del Tools **RSD** possono espletarsi sia in abbinamento ad un **Macro Assembler** come lo **ZASM 80**, che in abbinamento al **C Compiler CC-80**. Molto importante è la possibilità di gestire dei Break-Point software, legati ad una molteplicità di possibilità ed un Break-Point hardware che fa capo al segnale di NMI.
Il Tools viene fornito in EPROM e su un dischetto MS-DOS con il relativo manuale tecnico.

ZASM 80

Macro Cross-Assembler in grado di lavorare su un qualsiasi PC in ambiente MS-DOS. E' in grado di supportare sia il mnemonico dello Z80 che i codici aggiuntivi presenti nello Z180. Il codice generato può essere debuggato sia in simulazione sul PC che direttamente sul target, in modalità remota, utilizzando il comodo tools **RSD**. Lo **ZASM** è compatibile con il C Compiler **CC-80**, di cui assembla il risultato della compilazione.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

CC 80

Compilatore C, ANSI/ISO Standard, completo di Floating-Point, in grado di generare codice per le CPU della famiglia Z80 e Z180. Si abbina al Cross-Assembler **ZASM-80** ed al Tools di Remote Simbolico Debugger, **RSD**.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

HI TECH 80

Cross Compilatore C professionale della Hi-Tech Software. Questo compilatore è estremamente veloce e genera pochissimo codice. Questo risultato è ottenuto grazie a delle avanzate tecniche di ottimizzazione del codice generato, basato su tecniche di Intelligenza Artificiale che gli consentono di ottenere un codice compatto ed estremamente veloce. Il pacchetto comprende IDE, Compiler, Ottimizzatore del codice, Assembler, Linker, Remote debugger, ecc. Questo tools è Full ANSI/ISO Standard C ed è Full Library Source Code. Una volta fatto il porting del modulo di Remote-Debugger, consente di debuggare il software direttamente nell'hardware in sperimentazione. Questo tipo di specializzazione del **Remote-Debugger** è già disponibile, e viene fornito, per tutte le schede di CPU della **grifo**®. Il pacchetto software viene fornito su dischetti da 3"1/2 nel formato MS-DOS, completo di un esauriente manuale.
Questa versione supporta le CPU Z80, Z180, 84C011, 84C11, 84C013, 80C13, 80C015, 84C15, 64180, NCS800, Z181, Z182.

DDS MICRO C

E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore "C" (integer), un assemblatore, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie, una serie di utility ed una ricca documentazione su dischetto da 3"1/2 nel formato MS-DOS.

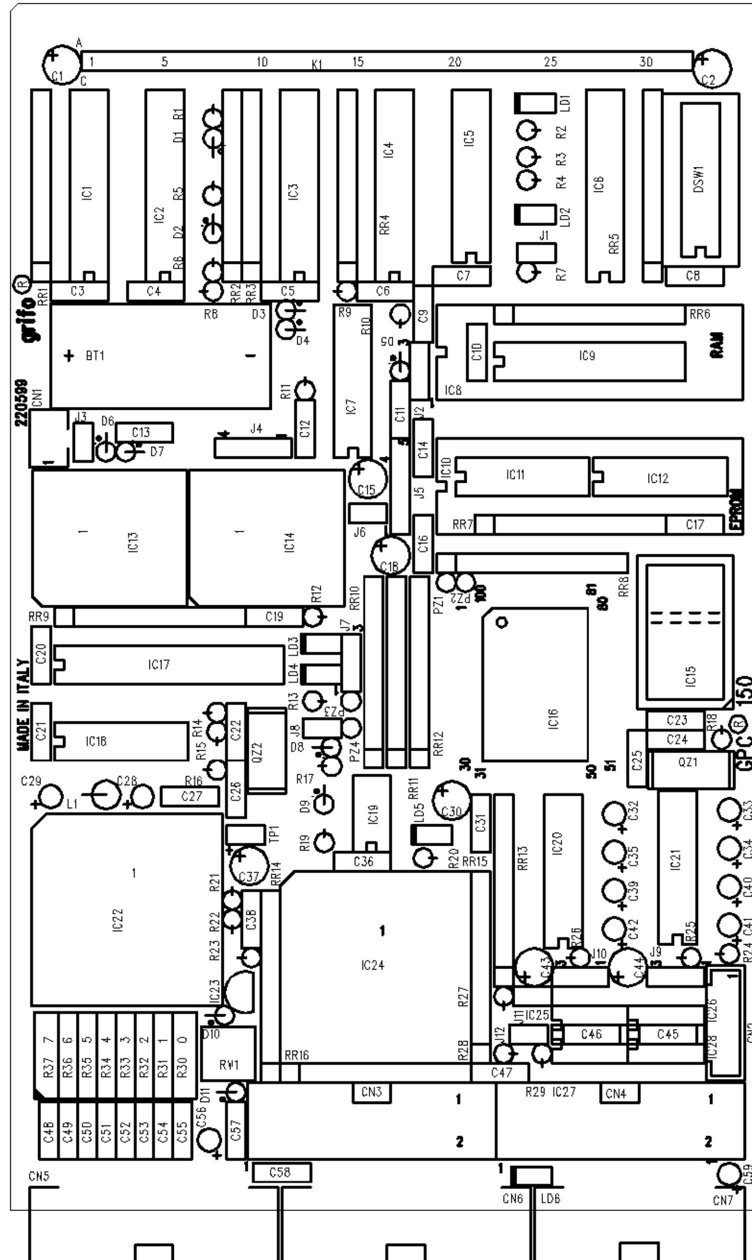


FIGURA 33: PIANTA COMPONENTI

MAPPAGGI ED INDIRIZZAMENTI

In questo capitolo ci occuperemo di fornire tutte le informazioni relative all'utilizzo della scheda, dal punto di vista della programmazione via software. Tra queste si trovano le informazioni riguardanti il mappaggio delle memorie, delle periferiche e di tutte le altre sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda è affidata ad una logica di controllo completamente realizzata con logiche programmabili. Essa si occupa del mappaggio delle zone di SRAM ed EPROM e di tutte le periferiche di bordo.
La logica di controllo è realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente la CPU Z84C15 indirizza direttamente 64K Byte di memoria e 256 indirizzi di I/O, quindi alla logica di controllo è assegnato il compito di allocare lo spazio logico d'indirizzamento delle memorie nello spazio fisico massimo di 5128K Byte. Questa gestione è effettuata via software tramite la programmazione della circuiteria di MMU con cui si può definire quali memorie utilizzare con una suddivisione in pagine da 32K Byte. Per quanto riguarda il mappaggio dell'I/O si deve invece ricordare che la logica di controllo provvede naturalmente a non utilizzare le locazioni riservate per le periferiche interne della CPU, in modo da evitare ogni problema di conflittualità.
Riassumendo i dispositivi mappati sulla scheda sono essenzialmente:

- **ABACO®** BUS
- Fino a 512K Byte di EPROM o FLASH EPROM su IC10
- Fino a 512K Byte di SRAM su IC8
- Fino a 2048K Byte di FLASH EPROM seriale su IC13
- Fino a 2048K Byte di FLASH EPROM seriale su IC14
- Fino a 8K Byte di EEPROM seriale su IC19
- SIO
- CTC
- PIO
- RTC
- A/D Converter
- Circuiteria di Memory Management Unit
- Dip switch di configurazione DSW1
- LED di attività
- Circuiterie di Watch Dog

Questi occupano gli indirizzi riportati nei paragrafi seguenti e non possono essere riallocati in nessun altro indirizzo. In caso di specifiche esigenze in termini di mappaggio, contattare direttamente la **grifo®**.

MAPPAGGIO I/O

Il mappaggio delle periferiche di bordo allocate nello spazio di I/O, è gestito dalla logica di controllo della scheda che provvede ad indirizzare tali dispositivi all'interno dello spazio di I/O del microprocessore, che ha una dimensione di 256 indirizzi. Viene di seguito riportato l'indirizzamento delle periferiche di bordo, comprese quelle interne alla CPU. Per maggior chiarezza si riportano i nomi dei registri, i loro indirizzi, il tipo di accesso ed una breve descrizione del loro significato:

DISP.	REG.	INDIRIZZO	R/W	SIGNIFICATO
RTC	S1	00H	R/W	Registro unità secondi
62421	S10	01H	R/W	Registro decine secondi
	MI1	02H	R/W	Registro unità minuti
	MI10	03H	R/W	Registro decine minuti
	H1	04H	R/W	Registro unità ore
	H10	05H	R/W	Registro decine ore; AM/PM
	D1	06H	R/W	Registro unità giorno
	D10	07H	R/W	Registro decine giorno
	MO1	08H	R/W	Registro unità mese
	MO10	09H	R/W	Registro decine mese
	Y1	0AH	R/W	Registro unità anno
	Y10	0BH	R/W	Registro decine anno
	W	0CH	R/W	Registro giorno della settimana
	REGD	0DH	R/W	Registro di stato e controllo D
	REGE	0EH	R/W	Registro di stato e controllo E
	REGF	0FH	R/W	Registro di stato e controllo F
CTC	CTC0	10H	R/W	Registro stato dati del canale 0
	CTC1	11H	R/W	Registro stato dati del canale 1
	CTC2	12H	R/W	Registro stato dati del canale 2
	CTC3	13H	R/W	Registro stato dati del canale 3
PPI 82C55	PA	14H	R/W	Registro dati del port A
	PB	15H	R/W	Registro dati del port B
	PC	16H	R/W	Registro dati del port C
	RC	17H	R/W	Registro di controllo e comando
SIO	RDA	18H	R/W	Registro dati della linea seriale A
	RSA	19H	R/W	Registro di stato della linea seriale A
	RDB	1AH	R/W	Registro dati della linea seriale B
	RSB	1BH	R/W	Registro di stato della linea seriale B
PIO	PAD	1CH	R/W	Registro dati del port A
	PAS	1DH	W	Registro di controllo del port A
	PBD	1EH	R/W	Registro dati del port B
	PBS	1FH	W	Registro di controllo del port B

FIGURA 34: TABELLA INDIRIZZAMENTO I/O - PARTE 1

DISP.	REG.	INDIRIZZO	R/W	SIGNIFICATO
A/D LM12458	IRL0÷7	20H÷2EH (pari)	R/W	Registro istruzioni low 0÷7 del sequencer
	IRH0÷7	21H÷2FH(dispari)	R/W	Registro istruzioni high 0÷7 del sequencer
	CNTL	30H	R/W	Registro di configurazione low
	CNTH	31H	R/W	Registro di configurazione high
	INTENL	32H	R/W	Registro abilitazione interrupt low
	INTENH	33H	R/W	Registro abilitazione interrupt high
	INTSTL	34H	R	Registro di stato interrupt low
	INTSTH	35H	R	Registro di stato interrupt high
	TMRL	36H	R/W	Registro per timer low
	TMRH	37H	R/W	Registro per timer high
	FIFOL	38H	R	Registro per conversioni in FIFO low
	FIFOH	39H	R	Registro per conversioni in FIFO high
	LIMSTL	3AH	R	Registro stato limiti low
	LIMSTH	3BH	R	Registro stato limiti high
ABACO® BUS	BUS	40H÷E7H	R/W	Indirizzi ABACO® BUS
REG. INTERNI	SCRP	EEH	R/W	Registro di indirizzamento registri interni al microprocessore
	SCDP	EFH	R/W	Registro dati per i registri interni al microprocessore
W.D. INTERNO	WDTMR	F0H	R/W	Registro programmazione watch dog interno
	WDTCR	F1H	W	Registro di accesso watch dog interno
INTER.	INTPR	F4H	W	Registro di settaggio priorità interrupt
BT1	BAT	F8H	R	Registro acquisizione stato batteria
M. M. U.	MEM	F8H	W	Registro di settaggio circuiteria MMU
DSW1	DSW1	FCH	R	Registro acquisizione Dip Switch
WD. EXT.	RWD	FCH	R	Registro retrigger Watch Dog esterno
LD6	LEDW	FCH	W	Registro scrittura stato LED di attività
	LEDR	F8H	R	Registro rilettura stato LED di attività
SFLASH	SF1	F8H	R/W	Registro gestione FLASH seriale
	SF2	FCH	W	Registro scrittura dato FLASH seriale

FIGURA 35: TABELLA INDIRIZZAMENTO I/O - PARTE 2

Per quanto riguarda la descrizione del significato dei registri qui sopra riportati, si faccia riferimento al capitolo successivo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

MAPPAGGIO ABACO® BUS

La logica di controllo della **GPC® 150** provvede anche alla gestione dell'**ABACO® BUS**, definendo gli indirizzi in cui tale BUS viene allocato. In particolare,come si può notare dalla tabella indirizzamento I/O, tale BUS è indirizzato in corrispondenza degli inirizzi 40H÷E7H
Un accesso in I/O in un qualsiasi indirizzo compreso in questi range abilta il segnale /IORQ e tutti gli altri segnali di controllo di K1.

MAPPAGGIO MEMORIE

Sulla scheda i 5128K Byte di memoria che possono essere montati sono così allocati:

Fino a 512K Byte di EPROM o 512K Byte di FLASH EPROM allocati nello spazio di memoria
Fino a 512K Byte di SRAM allocati nello spazio di memoria
Fino a 8K Byte di EEPROM seriale allocati nello spazio di I/O
Fino a 4MByte di FLASH EPROM seriale suddivisi su due dispositivi da 2MByte massimi ciascuno

La **GPC® 150** può indirizzare direttamente un massimo di 64K Byte di memoria che coincide con lo spazio d'indirizzamento logico del microprocessore. Questa capacità di memoria è stata suddivisa in due pagine da 32K Byte cadauna: sulla prima può essere allocata sia SRAM che EPROM, mentre sulla seconda solo SRAM. La circuiteria di MMU si occupa tramite una semplice gestione software, di dividere lo spazio dei dispositivi fisici allocati in memoria, sempre in pagine da 32K Byte e di allocarle nello spazio direttamente indirizzato dalla CPU. Programmando la circuiteria di MMU tramite l'apposito registro MEM, è quindi possibile indirizzare indirettamente, un'area notevolmente superiore a quella supportata direttamente dal microprocessore. Vengono di seguito riportate due figure che illustrano le possibili configurazioni dei dispositivi allocati nello spazio di memoria, per maggiori informazioni fare riferimento al paragrafo "MEMORY MANAGEMENT UNIT", mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 24.
Alcuni pacchetti software, come il **GDOS** o l'**FGDOS**, si occupano autonomamente della gestione della circuiteria di MMU per allocare tutta la memoria fisicamente presente a bordo scheda nello spazio d'indirizzamento del microprocessore, senza interessare direttamente l'utente.

All'atto del power on o del reset, il segnale R/E è settato a 0, quindi la scheda parte con l'esecuzione del codice posto all'indirizzo logico 0000H della pagina 0 di EPROM o FLASH EPROM di IC 10.

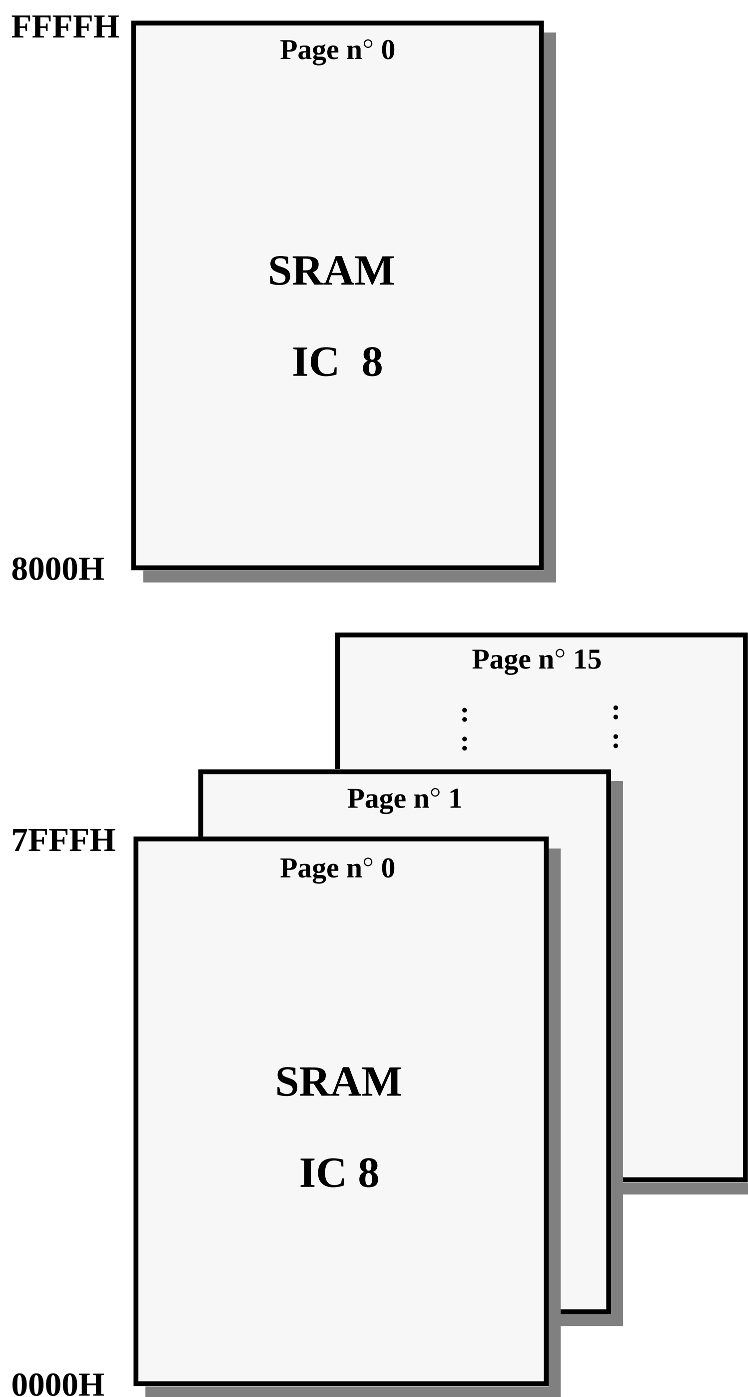


FIGURA 36: MAPPAGGIO DELLE MEMORIE CON R/E=0

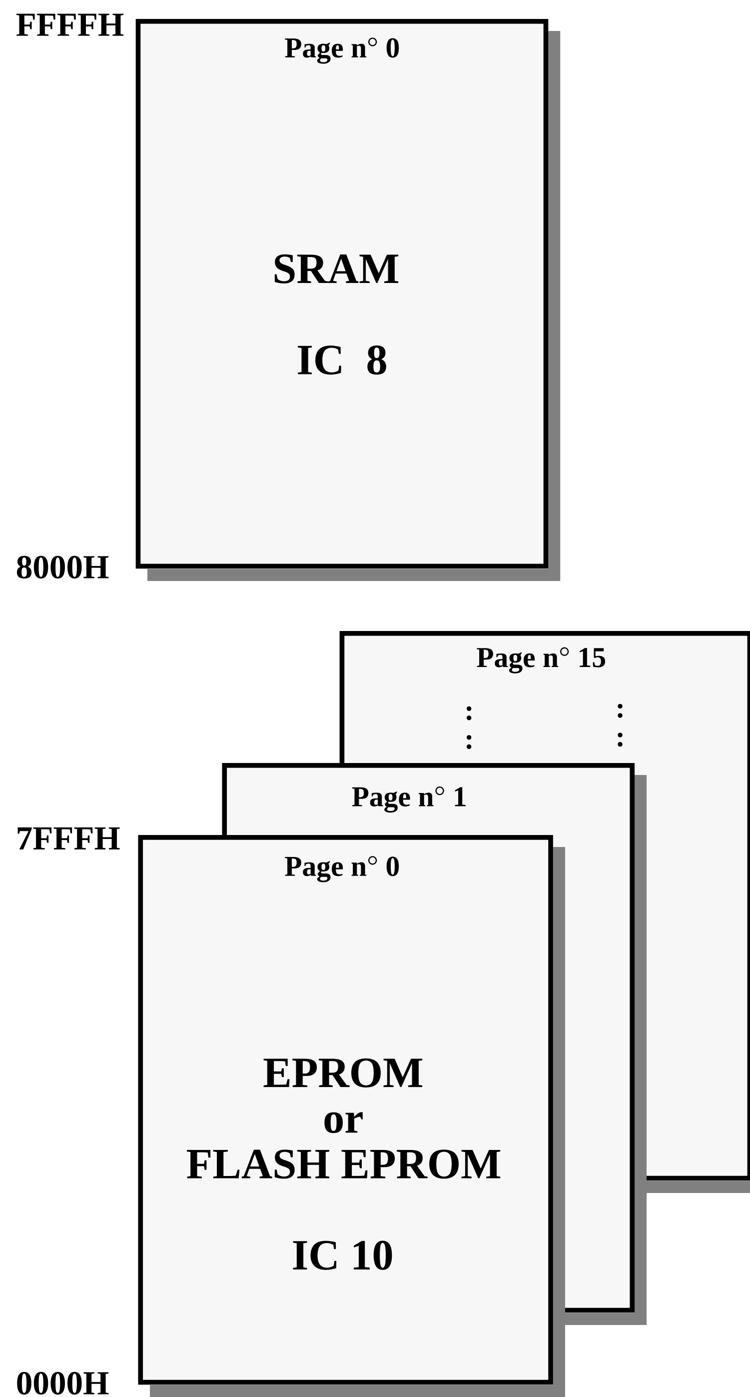


FIGURA 37: MAPPAGGIO DELLE MEMORIE CON R/E=1

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri (al fine di comprendere le successive informazioni, fare sempre riferimento alle tabelle di indirizzamento I/O). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microprocessore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento all'appendice B di questo manuale. Nei paragrafi successivi si usano le indicazioni **D0÷D7** e **.0÷7** per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O ad 8 bits.

MEMORY MANAGEMENT UNIT

L'allocazione dello spazio d'indirizzamento fisico delle memorie che possono essere montate sulla **GPC® 150** all'interno dello spazio d'indirizzamento logico del microprocessore, è affidato ad una efficiente circuiteria di MMU. Tale sezione viene programmata tramite l'apposito registro MEM allocato nello spazio di I/O. Il significato di tale registro è riportato di seguito:

MEM: I bits di tale registro hanno il seguente significato

MEM.7 -> R/E: selettore RAM (D7=1) o EPROM/FLASH EPROM (D7=0), nella pagina bassa (0000H÷7FFFH) dello spazio d'indirizzamento della CPU
MEM.6 -> A18 x IC10 ed /A18 x IC8
MEM.5 -> A17 x IC10 ed /A17 x IC8
MEM.4 -> A16 x IC10 ed /A16 x IC8
MEM.3 -> A15 x IC10 ed /A15 x IC8
MEM.2,1,0-> Vedere paragrafo FLASH EPROM SERIALI

Dove quindi solo i bits D3÷D7 definiscono la pagina di SRAM di IC8 od EPROMo FLASH EPROM di IC10 che deve essere indirizzata.

All'atto del power on o del reset il registro MEM è azzerato (tutti i bits a 0); questo equivale ad una programmazione della sezione di MMU in cui i primi 32K indirizzati dalla CPU coincidono con la pagina 0 di EPROM o FLASH EPROM di IC10 ed i secondi 32K coincidono con la pagina 0 diSRAM di IC8.
Facendo riferimento alle figure 37 e 38 di mappaggio delle memorie, viene riportata in figura 39 una tabella che descrive tutte le possibili configurazioni della sezione MMU.
La X indica che lo stato del bit è indifferente per il settaggio che si deve realizzare e può quindi assumere sia lo stato di 0 che di 1, a seconda delle esigenze della circuiteria che gestisce.

PAGINA 32K LOW	PAGINA 32K HIGH	REGISTRO MEM
0: IC10	0: IC8	00000XXXB = 00H
1: IC10	0: IC8	00001XXXB = 08H
2:IC10	0: IC8	00010XXXB = 10H
3: IC10	0: IC8	00011XXXB = 18H
4: IC10	0: IC8	00100XXXB = 20H
5: IC10	0: IC8	00101XXXB = 28H
6: IC10	0: IC8	00110XXXB = 30H
7: IC10	0: IC8	00111XXXB = 38H
8: IC10	0: IC8	01000XXXB = 40H
9: IC10	0: IC8	01001XXXB = 48H
10: IC10	0: IC8	01010XXXB = 50H
11: IC10	0: IC8	01011XXXB = 58H
12: IC10	0: IC8	01100XXXB = 60H
13: IC10	0: IC8	01101XXXB = 68H
14: IC10	0: IC8	01110XXXB = 70H
15: IC10	0: IC8	01111XXXB = 78H
0: IC8	0: IC8	10000XXXB = 80H
1: IC8	0: IC8	10001XXXB = 88H
2: IC8	0: IC8	10010XXXB = 90H
3: IC8	0: IC8	10011XXXB = 98H
4: IC8	0: IC8	10100XXXB = A0H
5: IC8	0: IC8	10101XXXB = A8H
6: IC8	0: IC8	10110XXXB = B0H
7: IC8	0: IC8	10111XXXB = B8H
8: IC8	0: IC8	11000XXXB = C0H
9: IC8	0: IC8	11001XXXB = C8H
10: IC8	0: IC8	11010XXXB = D0H
11: IC8	0: IC8	11011XXXB = D8H
12: IC8	0: IC8	11100XXXB = E0H
13: IC8	0: IC8	11101XXXB = E8H
14: IC8	0: IC8	11110XXXB = F0H
15: IC8	0: IC8	11111XXXB = F8H

FIGURA 38: TABELLA POSSIBILI PROGRAMMAZIONI SEZIONE DI MMU

A/D CONVERTER

Fare riferimento all'appendice B di questo manuale in cui é riportata la descrizione software dell'A/D Converter LM 12H458. Qualora queste informazioni fossero ancora insufficienti, fare riferimento alla documentazione tecnica della casa costruttrice.

WATCH DOG ESTERNO

Il retrigger della circuiteria di Watch Dog esterno presente sulla **GPC® 150**, avviene tramite una semplice operazione di input e/o otput al registro RWD. Affinché la circuiteria di watch dog non intervenga, é indispensabile retriggerarla ad intervalli regolari di durata inferiore al tempo d'intervento. Se ciò non avviene e tramite il jumper J4 in posizione 3-4 la circuiteria é attivata, una volta scaduto il tempo d'intervento la scheda viene resettata. Il tempo d’intervento è di circa 1,4 sec e nella condizione di default, la circuiteria é disabilitata. Da ricordare che il dato letto é completamente ininfluente per la circuiteria di watch dog.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale (IC19), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. Si ricorda solo che i primi 32 bytes (0÷31) sono riservati e perciò si deve evitare la modifica dei medesimi. La logica di controllo consente la gestione software della EEPROM tramite i segnali /SYNCA, /DTRA e /DTRB della SIO, con le seguenti corrispondenze:

/SYNCA	->	linea DATA input	(**SDA**)
/DTRB	->	linea DATA output	(**SDA**)
/DTRA	->	linea CLOCK	(**SCL**)

Data l'implementazione hardware della circuiteria di gestione del modulo di EEPROM seriale, si ricorda che di tale dispositivo i segnali **A0**,**A1**,**A2** dello slave address sono tutti posti a **0** logico. Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale.
Per ulteriori informazioni sulle modalità di gestione dei segnali della SIO fare riferimento all'apposita documentazione tecnica dell'appendice B.

STATO DELLA BATTERIA

Lo stato della batteria BT1 presente sulla **GPC® 150** può essere acquisito via software, effettuando una semplice operazione di input all'indirizzo di allocazione del registro BAT ed esaminando il bit D3, che ha la seguente corrispondenza:

BAT.3 = 0	->	batteria scarica	(**<2,265 V)**
BAT.3 = 1	->	batteria carica	(**> 2,265 V**)

Per ulteriori informazioni sulla batteria di bordo e della relativa circuiteria di back up fare riferimento ai precedenti appositi paragragfi.

INGRESSI DI CONFIGURAZIONE

La **GPC® 150** dispone di 9 ingressi di configurazione settabili dall'utente ed acquisibili via software, con le modalità di seguito riportate.
Il Dip Switch DSW1 può essere accquisito effettuando una semplice operazione di input all'indiizzo di allocazione del registr DSW1. La corrispondenza tra i bit del registro e le linee del dip switch è la seguente:

DSW1.7	->	**Dip Switch 8**
DSW1.6	->	**Dip Switch 7**
DSW1.5	->	**Dip Switch 6**
DSW1.4	->	**Dip Switch 5**
DSW1.3	->	**Dip Switch 4**
DSW1.2	->	**Dip Switch 3**
DSW1.1	->	**Dip Switch 2**
DSW1.0	->	**Dip Switch 1**

La combinazione è in logica negata, ovvero il dip in **ON** fornisce lo stato logico **0** al corrispondente bit, mentre il dip in **OFF** fornisce lo stato logico **1**.
Si ricorda che l'acquisizione dello stato dei Dip Switch implica anche il retrigger del Watch Dog esterno, poichè il registro RWD ed il registro DSW1 sono allocati allo stesso indirizzo di I/O.

Il jumper di configurazione J7 è collegato a lla linea /SYNCBdella SIO a bordo dello Z84C15.
Il jumper **in posizione 1-2** ornisce lo stato logico **0**, mentre il jumper **in posizione 2-3**fornisce lo stato logico **1**. Per quanto riguarda le modalità di acquisizione dello stato di /SYNCB, fare riferimento all'apposita documentazione tecnica dell'appendice B.
Il jumper J7 (RUN/DEBUG) svolge la funzione di selettore delle modalità RUN (posizione 1-2) o DEBUG (posizione 2-3), caratteristica di alcuni pacchetti software della **grifo®**.

LED DI ATTIVITA'

L logica di controllo consente la gestione software di un LED di attività, chiamato LD6, tramite i registri LEDR e LEDW, con le seguenti corrispondenze:

LEDW.0	->	pilotaggio LD6
LEDR.1	->	lettura stato LD6

L'**attivazione** avviene effettuando una operazione di output all'indirizzo di allocazione del registro LEDW con il relativo bit settato a **1**. Logicamente la **disattivazione** avviene tramite un'analoga operazione di output ma con il bit resettato a **0**.
Lo stato del LED di attività può essere acquisito via software effettuando un'operazione di input sul registro LEDR ed esaminando il bit 1.
Si ricorda che il registro LEDW è allocato allo stesso indirizzo di I/O del registro SF2, quindi ogni operazione di scrittura sui bits di tale registro deve tenere conto della programmazione di quest'altro dispositivo.
Il registro LEDW è azzerato (tutti i bits a 0) in fase di reset o power on, di conseguenza in seguito ad una di queste fasi il LED è disattivo.

FLASH EPROM SERIALE

Per quanto riguarda la gestione dei moduli di FLASH EPROM seriale (IC13 e IC14), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. La logica di controllo consente la gestione software delle FLASH EPROM serali tramite alcuni bits dei registri SF1 ed SF2, con le seguenti corrispondenze:

REGISTRO SF1 in SCRITTURA

SF1.0 -> linea CLOCKper IC13 e IC14 (**SCK**)
SF1.1 -> segnale abilitazione per IC14 (**/CS**)
SF1.2 -> segnale abilitazione per IC13 (**/CS**)

REGISTRO SF1 in LETTURA

SF1.0 -> linea dati di IC13 e IC14 in ingresso (**SO**)

REGISTRO SF2 in SCRITTURA

SF2.7 -> linea dati di IC13 e IC14 in uscita (**SI**)

Data l'implementazione hardware della circuiteria di gestione dei moduli di FLASH EPROM seriale, si ricorda che di tale dispositivo i segnali **/WP** e **RDY** sono tutti posti a **1** logico.
Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale.
Si ricorda che i registri SF1e SF2 sono allocati rispettivamente agli stessi indirizzi di I/O dei registri MMU e LEDW, quindi ogni operazione di scrittura sui bits di tali registri deve tenere conto della programmazione di questi altri dispositivi.
All'atto del power on o del reset il registro SF1 e SF2 sono azzerati, quindi entrambe le FLASH EPROM sono disabilitate.

BAUD RATE GENERATOR

La sezione di generazione delle frequenze utilizzate dal SIO per la comunicazione seriale della scheda è in grado di generare due baud rate completamente separati variabili da un minimo di 600 Baud ad un massimo di 115,2K Baud con sette valori intermedi che corrispondono ai baud rates standard. La **GPC® 150** consente di settare queste velocità di comunicazione tramite semplici operazioni di output agli indirizzi di allocazione dei registri CTC2 e CTC3. Infatti i timer counter 2 e 3 della sezione CTC del microprocessore sono utilizzati rispettivamente come baud rate generator delle linee seriali A e B.
Affinché i canali del CTC operino come baud rate generator é necessario programmarli opportunamente come di seguito descritto:
- Fornire un comando di reset di canale = operazione di output sul registro CTCn con il dato 03H.
- Fornire una parola di controllo canale che: disabiliti l'interrupt, selezioni il counter mode, scelga un fronte di discesa e carichi una costante di tempo = operazione di output sul registro CTCn con

il dato 45H.
- Caricare una costante di tempo relativa al baud rate utilizzato = operazione di output sul registro CTCn con il dato prelevato dalla seguente tabella a seconda del baud rate desiderato.

Tutti i canali del CTC sono disattivati a seguito di una fase di reset o power on, di conseguenza entrambe le sezioni di baud rate generator in queste condizioni, sono a loro volta disattive.
Per maggiori informazioni relative alla programmazione dei canali CTC, fare riferimento all'apposita documentazione tecnica dell'appendice B.

BAUD RATE	VALORE COSTANTE DI TEMPO
600 Baud	C0H
1200 Baud	60H
2400 Baud	30H
4800 Baud	18H
9600 Baud	0CH
19200 Baud	06H
38400 Baud	03H
576000 Baud	02H
115200 Baud	01H

FIGURA 39: TABELLA VALORI PER PROGRAMMAZIONE BAUD RATE

REAL TIME CLOCK

Questa periferica è vista in 16 locazioni di I/O consecutive di cui 3 di stato e le rimanenti 13 per i dati. I registri dati sono utilizzati sia per operazioni di input (acquisizione dell'orario attuale) che di output (per l'inizializzazione dell'orologio) così come i registri di stato i quali sono utilizzati in scrittura (per la programmazione del modo di funzionamento dell'orologio) ed in lettura (per determinare lo stato dell'orologio). Per quanto riguarda il significato dei registri dati vale la corrispondenza:

S1	- Unità dei secondi	- 4 bit meno significativi:	S1.3÷S1.0
S10	- Decine dei secondi	- 3 bit meno significativi:	S10.2÷S10.0
MI1	- Unità dei minuti	- 4 bit meno significativi:	M1.3÷MI1.0
MI10	- Decine dei minuti	- 3 bit meno significativi:	MI10.2÷MI10.0
H1	- Unità delle ore	- 4 bit meno significativi:	H1.3÷H1.0
H10	- Decine delle ore	- 2 bit meno significativi:	H10.1÷H10.0
		Il terzo bit di tale registro, H10.2, indica l'AM/PM	
D1	- Unità del giorno	- 4 bit meno significativi:	D1.3÷D1.0
D10	- Decine del giorno	- 2 bit meno significativi:	D10.1÷D10.0
MO1	- Unità del mese	- 4 bit meno significativi:	MO1.3÷MO1.0
MO10	- Decine del mese	- 1 bit meno significativo:	MO10.0
Y1	- Unità dell'anno	- 4 bit meno significativi:	Y1.3÷Y1.0
Y10	- Decine dell'anno	- 4 bit meno significativi:	Y10.3÷Y10.0
W	- Giorno della settimana	- 3 bit meno significativi:	W.2÷W.0

Per quest'ultimo registro vale la corrispondenza:

W.2	W.1	W.0	Giorno della settimana
0	0	0	Domenica

0	0	1	Lunediì
0	1	0	Martedì
0	1	1	Mercoledì
1	0	0	Giovedì
1	0	1	Venerdì
1	1	0	Sabato

I tre registri di controllo sono invece utilizzati come segue:

	D7	D6	D5	D4	D3	D2	D1	D0
REGD =	**NU**	**NU**	**NU**	**NU**	**30S**	**IF**	**B**	**H**

dove:

NU = Non usato

30S = Se attivo (1) permette di effettuare una correzione di 30 secondi dell'orario. Una volta settato i secondi del RTC vengono azzerati ed i minuti incrementati se il precedente valore dei secondi era superiore o uguale a 30.

IF = Gestisce lo stato d'interrupt del RTC. In lettura riporta lo stato attuale d'interrupt (1=attivo e viceversa), mentre se resettato con una scrittura determina la fine interrupt, quando il RTC lavora in interrupt mode.

B = Indica se possono essere effettuate operazioni di lettura/scrittura dei registri: 1 -> operazioni impossibili e viceversa.

H = Se attivo (1) effettua la memorizzazione dell'orario fissato.

	D7	D6	D5	D4	D3	D2	D1	D0
REGE =	**NU**	**NU**	**NU**	**NU**	**T1**	**T0**	**I**	**M**

dove:

NU = Non usato.

T1	T0	= Determinano la durata del periodo di interrupt
0	0	-> 1/64 secondo
0	1	-> 1 secondo
1	0	-> 1 minuto
1	1	-> 1 ora

I = Determina modalità di gestione interrupt: se settato seleziona l'interrupt mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva con un reset del bit IF del registro D; se resettato seleziona lo standard mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva autonomamente dopo 7,8 msec.

M = Se settato disabilita il pin di interrupt del RTC e viceversa.

	D7	D6	D5	D4	D3	D2	D1	D0
REGF =	**NU**	**NU**	**NU**	**NU**	**T**	**24/12**	**S**	**R**

dove:

NU = Non usato.

T = Stabilisce da quale contatore interno prelevare il segnale di conteggio:
1 -> contatore principale (conteggio veloce per test);
0 -> 15° contatore (conteggio normale).

24/12 = Stabilisce il modo di conteggio delle ore:
1 -> 0÷23;
0 -> 0÷11 con AM/PM.

S = Se settato provoca l'arresto dell'avanzamento dell'orologio fino alla sucessiva abilitazione.

R = Se settato (1) provoca il reset di tutti i contatori interni.
Dopo un reset o power on il real time clock non viene inizializzato in modo da garantire il corretto mantenimento dei suoi dati anche dopo uno spegnimento od un azzeramento, assicurato dall'eventuale circuiteria di back up.

PPI 82C55

Questa periferica è vista in 4 registri: uno di stato (RC) e tre dei dati (PA, PB, PC) con cui si effettua la programmazione ed il comando della stessa. I registri dati sono utilizzati sia per operazioni di input (acquisizione linee dei port) che per quelle di output (settaggio linee dei port) ed ognuno di tali registri riporta i dati di I/O del corrispondente port. La periferica può operare in tre modi diversi:

MODO 0 = Prevede due port bidirezionali da 8 bit (A,B) e due port bidirezionali da 4 bit (C LOW, C HIGH); gli ingressi non sono latchati, mentre le uscite lo sono; nessun segnale di handshaking.

MODO 1 = Prevede due port da 12 bit (A+C LOW, B+C HIGH) dove gli 8 bit dei port A e B costituiscono le linee di I/O, mentre i 4 bit del port C costituiscono le linee di handshaking. Gli ingressi e le uscite sono latchati.

MODO 2 = Prevede un port da 13 bit (A+C3-7) dove gli 8 bit del port A costituiscono le linee di I/O, mentre i rimanenti 5 bit del port C costituiscono le linee di controllo. Un port da 11 bit (B+ C0-2) dove gli 8 bit del port B costituiscono le linee di I/O ed i rimanenti 3 bit del port C costituiscono le linee di controllo. Sia gli ingressi che le uscite sono latchate.

La programmazione della periferica avviene scrivendo un byte nel registro di controllo RC, settando gli 8 bits del dato scritto con la seguente corrispondenza:

	D7	D6	D5	D4	D3	D2	D1	D0
RC =	**SF**	**M1**	**M2**	**A**	**CH**	**M3**	**B**	**CL**

dove:
SF = Se attivo (1) abilita il comando della periferica
M1 M2 = Selezionano il modo di funzionamento
 0 0 = Selezione del modo 0
 0 1 = Selezione del modo 1
 1 X = Selezione del modo 2
A = Se attivo (1) setta il port A in input e viceversa
CH = Se attivo setta il nibble più significativo del port C in input e viceversa
M3 = Se attivo (1) seleziona modo 1, viceversa seleziona modo 0
B = Se attivo setta il port B in input e viceversa
CL = Se attivo setta il nibble meno significativo del port C in input e viceversa.

Dopo una fase di reset o di power on il PPI 82C55 viene settato in modo 0 con tutti i port settati in input.

PERIFERICHE INTERNE DELLA CPU

Fare riferimento all’apposita documentazione tecnica dell’appendice B.

SCHEDE ESTERNE

La scheda **GPC® 150** si interfaccia a buona parte dei moduli della serie BLOCK e di interfaccia utente. Le risorse di bordo possono essere facilmente aumentate collegando la **GPC® 150** alle numerose schede periferiche del carteggio **grifo®** tramite l'**ABACO® BUS**. Anche schede in formato block con **ABACO® I/O BUS** possono essere collegate, sfruttando gli appositi mother boards. A titolo di esempio ne riportiamo un elenco con una breve descrizione delle carratteristiche di massima, per maggiori informazioni, richiedere la documentazione specifica:

KDL X24 - KDF 224

Keyboard Display LCD 2,4 righe 24 tasti - Keyboard Display Fluorescent 2 righe 24 tasti
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e tastiera a matrice esterna da 24 tasti; display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs. Predisposizione per collegamento a tastiera telefonica.

QTP 24P

Quick Terminal Panel 24 tasti con interfaccia Parallela
Interfaccia operatore provvista di display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs; tastiera a membrana da 24 tasti di cui 12 configurabili dall’utente; 16 LEDs di stato; alimentatore a bordo scheda in grado di pilotare anche carichi esterni; interdaccia parallela basata su 16 I/O TTL di un connettore normalizzato I/O **ABACO®** a 20 vie. Tasti ed etichette personalizzabili tramite serigrafie da inserire in apposite tasche; opzione di contenitore metallico.

QTP G28

Quick Terminal Panel 28 tasti con LCD grafico
Interfaccia operatore provvista di display LCD grafico da 240x128 pixel retroilluminato con lampada a catodo freddo; tastiera a membrana da 28 tasti di cui 6 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda; interdaccia seriale in RS 232, RS 422-485 o current loop; linea seriale ausiliaria in RS 232. Tasti ed etichette personalizzabili dall'utente tramite serigrafie da inserire in apposite tasche; contenitore metallico e plastico; EEPROM di set up; 256K EPROM o FLASH; Real Time Clock; 128K RAM; buzzer. Firmware di gestione che svolge funzione di terminale con primitive grafiche.

MB8 01

Mother Board 8 slots **ABACO®**
Mother Board con 8 slots del BUS industriale **ABACO®**; passo 5 TE; connettori normalizzati di alimentazione e di servizio; tasto di reset; 3 LEDs per le alimentazioni; foratura per aggancio ai rack.

SPB 04

Switch Power Bus mother board 4 slots **ABACO®**
Mother Board con 4 slots del BUS industriale **ABACO®**; 1 slot per alimentatore; passo 5 TE; connettori normalizzati di alimentazione; tasto di reset; foratura per aggancio ai rack.

ABB 05

Abaco® Block BUS 5 slots
Mother board **ABACO®** da 5 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS; sezione alimentatrice per +5 Vdc; sezione alimentatrice per +V Opto; sezioni alimentatrici galvanicamente isolate; tre tipi di alimentazione: da rete, bassa tensione o stabilizzata. Attacco rapido per guide Ω.

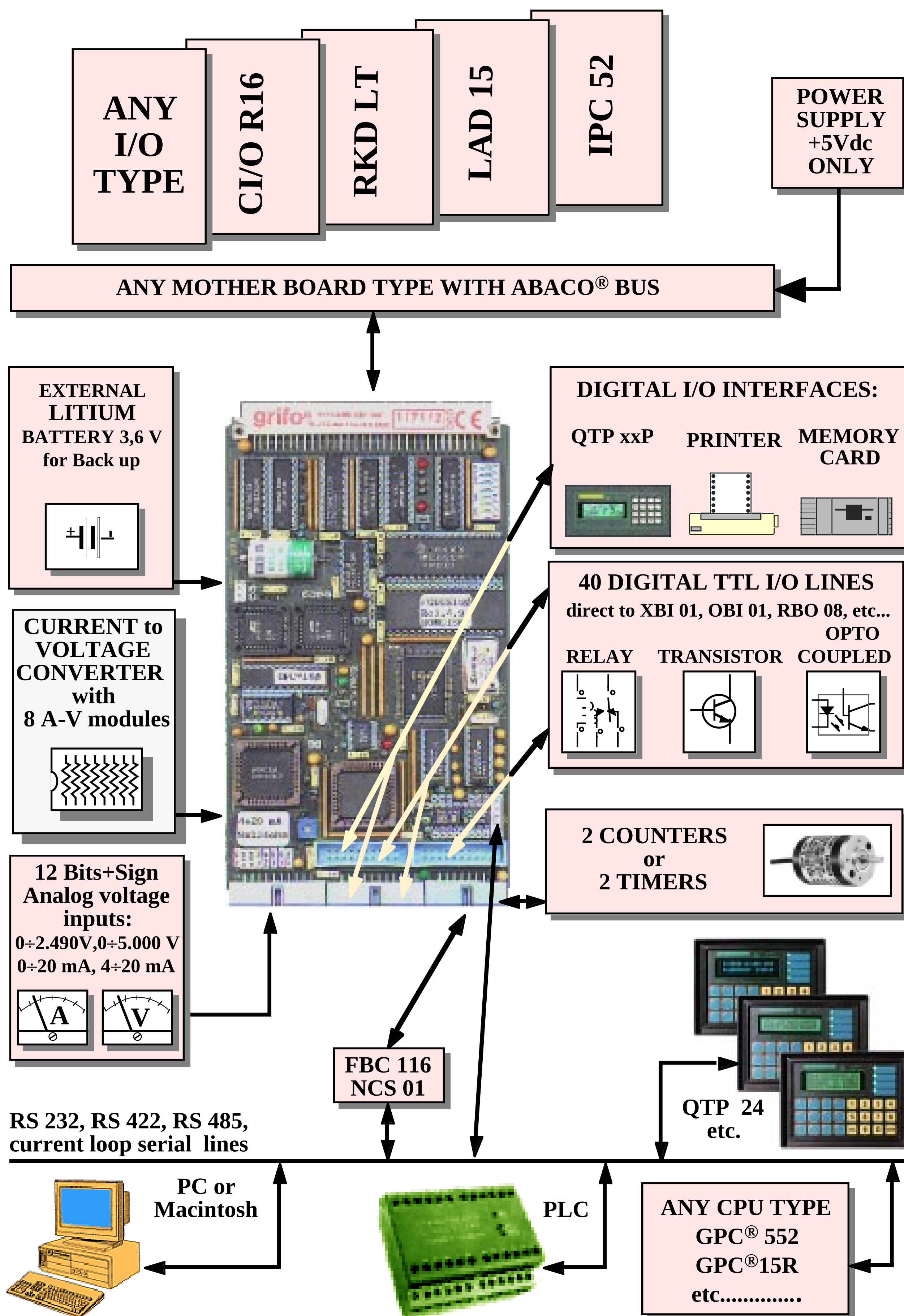


FIGURA 40: SCHEMA DELLE POSSIBILI CONNESSIONI

IAC 01
Interface Adapter Centronics
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e connettore a vaschetta D 25 vie femmina con pin out standard Centronics per la gestione di una stampante parallela.

OBI N8 - OBI P8
Opto BLOCK Input NPN-PNP
Interfaccia per 8 input optoisolati e visualizzati tipo NPN, PNP, connettore a morsettiera, connettore normalizzato I/O **ABACO®** a 20 vie; sezione alimentatrice; attacco rapido per guide DIN 46277-1 e 3.

TBO 01 - TBO 08
Transistor BLOCK Output
Interfaccia per 16 connettore normalizzato I/O **ABACO®** a 20 vie; 16 o 8 output a transistor in Open Collector da 45 Vcc 3 A su connettore a morsettiera. Uscite optoisolate e visualizzate; attacco rapido per guide DIN 6277-1 e 3.

RBO 08 - RBO 16
Relé BLOCK Output
Interfaccia per connettore normalizzato I/O **ABACO®** a 20 vie; 8 o 16 output visualizzati con relé da 3 A con MOV; connettore a morsettiera; attacco rapido per guide DIN 46277-1 e 3.

FBC 20 - FBC 120
Flat Block Contact 20 vie
Interfaccia tra 2 o 1 connettori a perforazione di isolante (scatolino da 20 vie maschi) e la filatura da campo (morsettiere a rapida estrazione). Attacco rapido per guide tipo DIN 46277-1 e 3.

DEB 01
Didactis Experimental Board
Scheda di supportro per l'utilizzo di 16 linee di I/O TTL. Comprende: 16 tasti; 16 LED; 4 digits; tastiera a matrice da 16 tasti; interfaccia per stampante Centronics, dislay LCD, display Fluorescente, connettore I/O **GPC® 68**; collegamento con il campo.

XBI 01
miXed BLOCK Input Output
Interfaccia tra 8 input + 8 output TTL (connettore normalizzato I/O **ABACO®** a 20 vie), con 8 output a transistor in Open Collector da 45 Vcc 3 A + 8 input con filtro a Pi-Greco (connettore a morsettiera). I/O optoisolati e visualizzati; attacco rapido per guide DIN 46277-1 e 3.

MCI 64
Memory Cards Interfaces 64 MBytes
Interfaccia per la gestione di Memory cards PCMCIA a 68 pins tramite un connettore normalizzato I/O **ABACO®**; sono disponibili driver per linguaggi ad alto livello.

DAC 16
Digital to Analog Converter 16 bits
2 D/A converter da 16 bit galvanicamente isolati; visualizzazione dati programmati; uscita ±10 Vcc; taratura offset e guadagno. BUS a 8 bit; indirizzamento normale.

UCC A2

UART Comunication Card

2 indipendenti linee seriali in RS 232, RS 422, RS 485 o current loop. Per ogni linea: buffer di 3 caratteri; comunicazione gestita dall'UART SCC 85C30; baud rate (da 50 a 115K baud), parità, stop bit e lunghezza dato programmabili via software; 4 dip switch. BUS a 8 bit; indirizzamento normale.

CI/O R16

16 Coupled Input Output Relé

16 ingressi optoisolati con filtro a Pi-Greco; tensione nominale di ingresso 24 Vcc. 16 output a microrelé da 1 A con soppressori di disturbi tipo MOV da 24 Vca. I/O visualizzati tramite LED; BUS a 8 bit; indirizzamento normale.

PCI 01

Peripheral Coupled Input

32 ingressi optoisolati con filtro a Pi-Greco; tensione nominale di ingresso 24 Vcc; ingressi visualizzati tramite LEDs; BUS a 8 o 16 bits; indirizzamento normale.

PCO 01

Peripheral Coupled Output

32 uscite a transistor in Open Collector da 45 Vcc, 500 mA, su connettore standardizzato. Uscite optoisolate e visualizzate tramite LEDs; unica tensione di alimentazione; BUS a 8 o 16 bits; indirizzamento normale.

IPC 52

Intelligent Peripheral Controller

Scheda periferica intelligente in grado di acquisire 24 segnali analogici generati da trasduttori da campo; 8 ingressi per PT 100, PT 1000; 8 ingressi per termocoppie J,K,S,T; 8 ingressi per segnali in tensione ±2 V o corrente 0÷20 mA; interrogazione tramite BUS **ABACO®** o tramite linea seriale in RS 232, RS 422-485 o current loop; 16 linee di I/O TTL; risoluzione di 16 bit più segno; 0,1 °C di precisione; 5 acquisizioni al secondo; funzionamento come data logher.

RKD LT

Remote Keyboard Display LCD Toshiba e Fluorescent FUTABA

Terminale intelligente con interfacciamento seriale (RS 232, RS 422-485, current loop) o parallelo (BUS **ABACO®**). Gestisce tastiera a matrice da 56 tasti; display fluorescenti FUTABA e/o LCD TOSHIBA; buzzer; 8 LEDs di segnalazione; EEPROM di configurazione.

JMS 34

Jumbo Multifunction Support per controllo assi

Scheda periferica per il controllo assi. 3 ingressi optoisolati per l'acquisizione di encoder incrementali bidirezionali; gestione tacca di zero. 4 canali di D/A converter da 12 bits; range di uscita ±10 V. 8 ingressi optoisolati NPN. 8 uscite a transistor in Open Collector da 45 Vcc, 500 mA. Tutte le linee di I/O visualizzate tramite LEDs; BUS a 8 bit; indirizzamento esteso.

SBP 01

Switch BLOCK Power

Alimentatore switching in grado di generare tensioni da -12 a +40 Vdc e correnti fino a 4 A; ingresso da 12 a 26 Vac; ingresso per batteria di back up; uscita di power good; connettori a morsettiera a rapida estrazione; montaggio su guide ad Ω.

BIBLIOGRAFIA

E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 188F**.

Manuale TEXAS INSTRUMENTS:	*The TTL Data Book - SN54/74 Families*
Manuale TEXAS INSTRUMENTS:	*RS-422 and RS-485 Interface Circuits*
Manuale HEWLETT PACKARD:	*Optoelectronics Designer's Catalog*
Manuale NEC:	*Microprocessors and Peripherals - Volume 3*
Manuale NEC:	*Memory Products*
Manuale AMD	*Flash Memory Products*
Manuale SGS-THOMSON:	*Programmable Logic Manual GAL Products*
Manuale MAXIM:	*New Releases Data Book - Volume IV*
Manuale MAXIM:	*New Releases Data Book - Volume V*
Manuale XICOR:	*Data Book*
Manuale ZILOG:	*Z80 Microprocessor Family User's Manual*
Manuale NATIONAL SEMICONDUCTOR:	*LM12458 12-Bit + Sign Data Acquisition System*
Documentazione SEIKO EPSON:	*RTC-62421Real Time Clock module*
Manuale ATMEL:	*Serial Data FLASH*

Per avere tutti gli aggiornamenti di tali manuali e di tutti i data-sheet fare riferimento anche ai siti INTERNET delle case madri costruttrici.

APPENDICE A: SCHEMI ELETTRICI

In questa appendice sono disponibili gli schemi elettrici delle interfaccie per la **GPC® 150** più frequentemente utilizzate. Tutte queste interfaccie possono essere prodotte autonomamente dall'utente mentre solo alcune di esse sono schede **grifo®** standard e possono quindi essere ordinate.

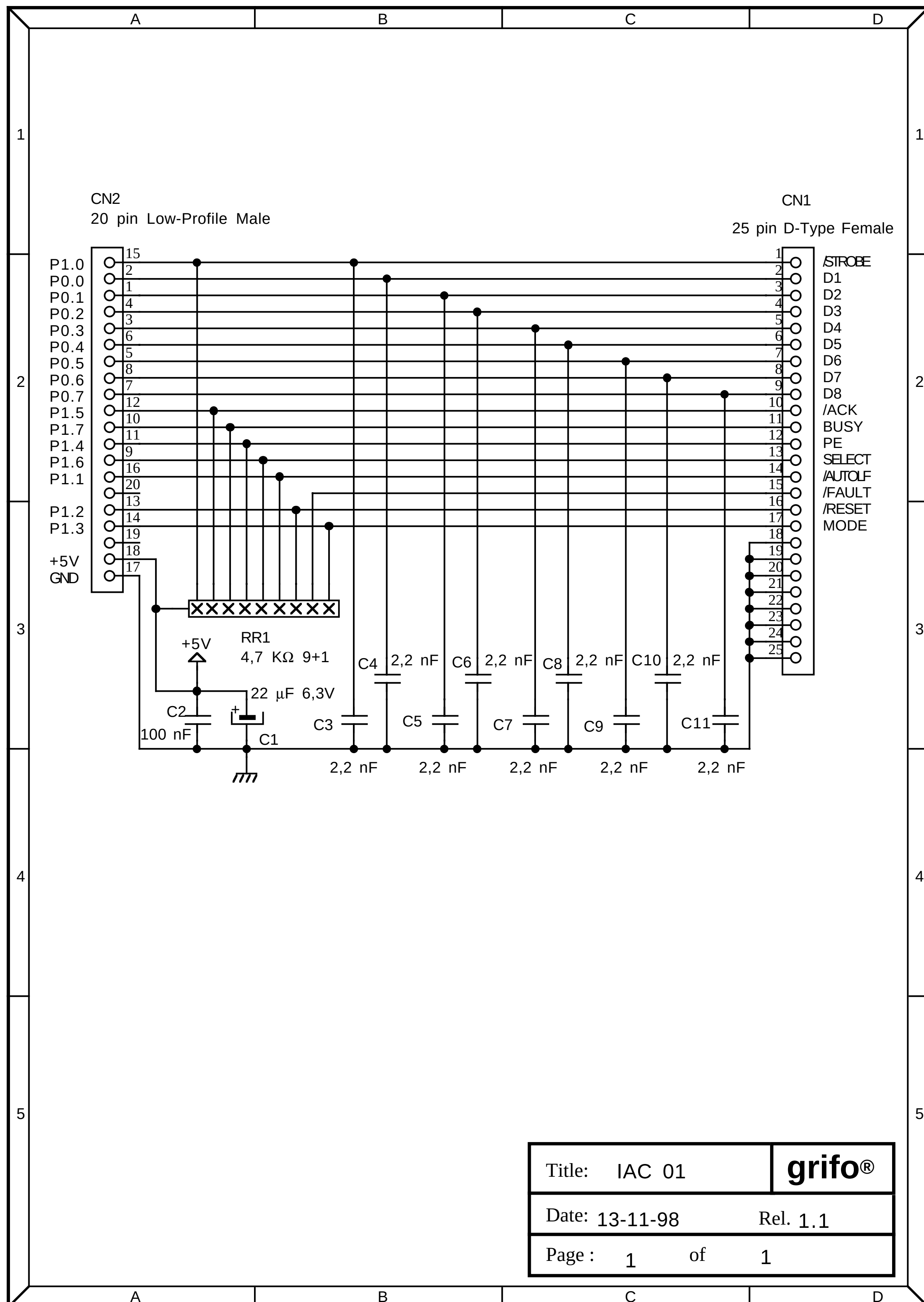


FIGURA A1: SCHEMA ELETTRICO IAC 01

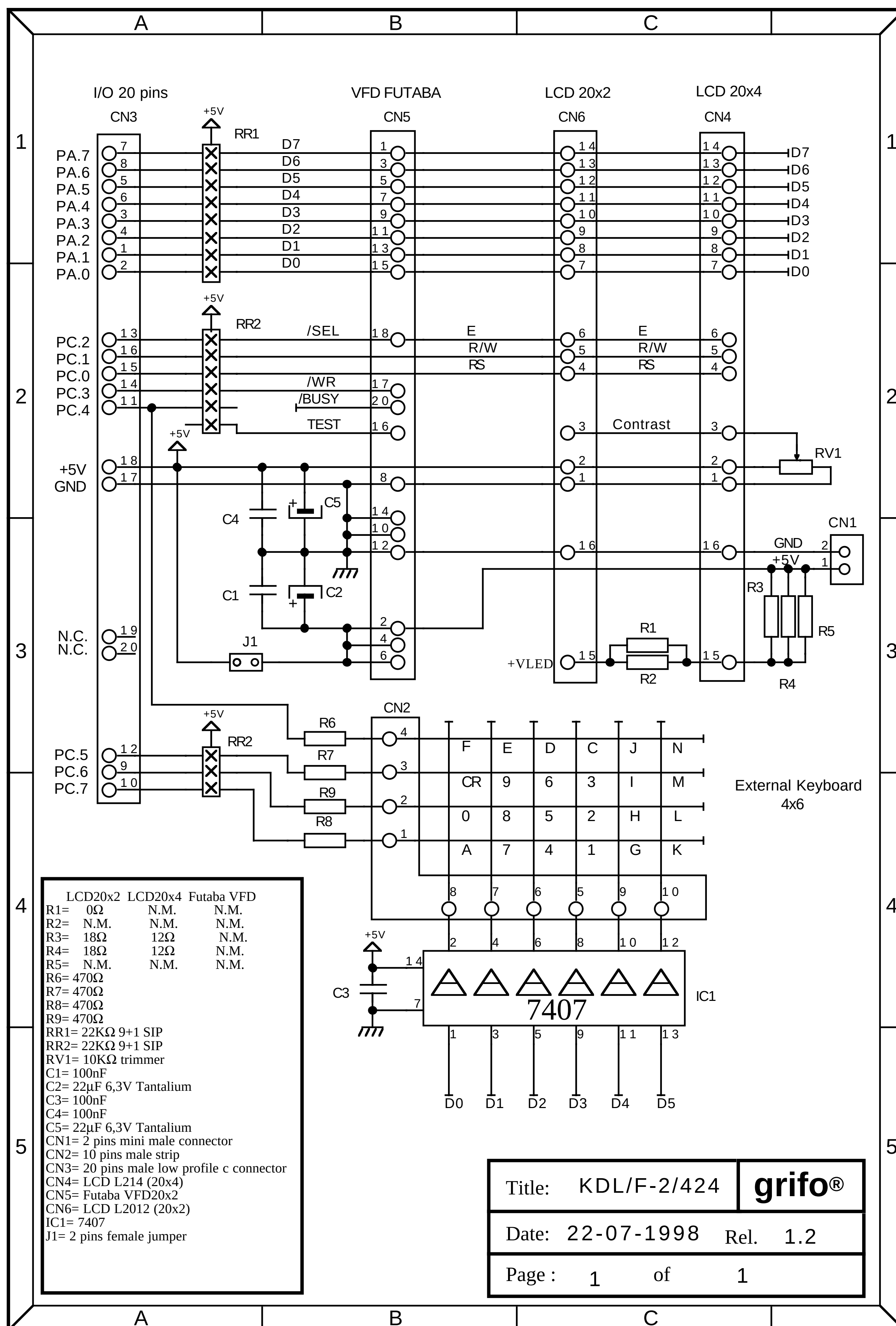


FIGURA A2: SCHEMA ELETTRICO KDx x24

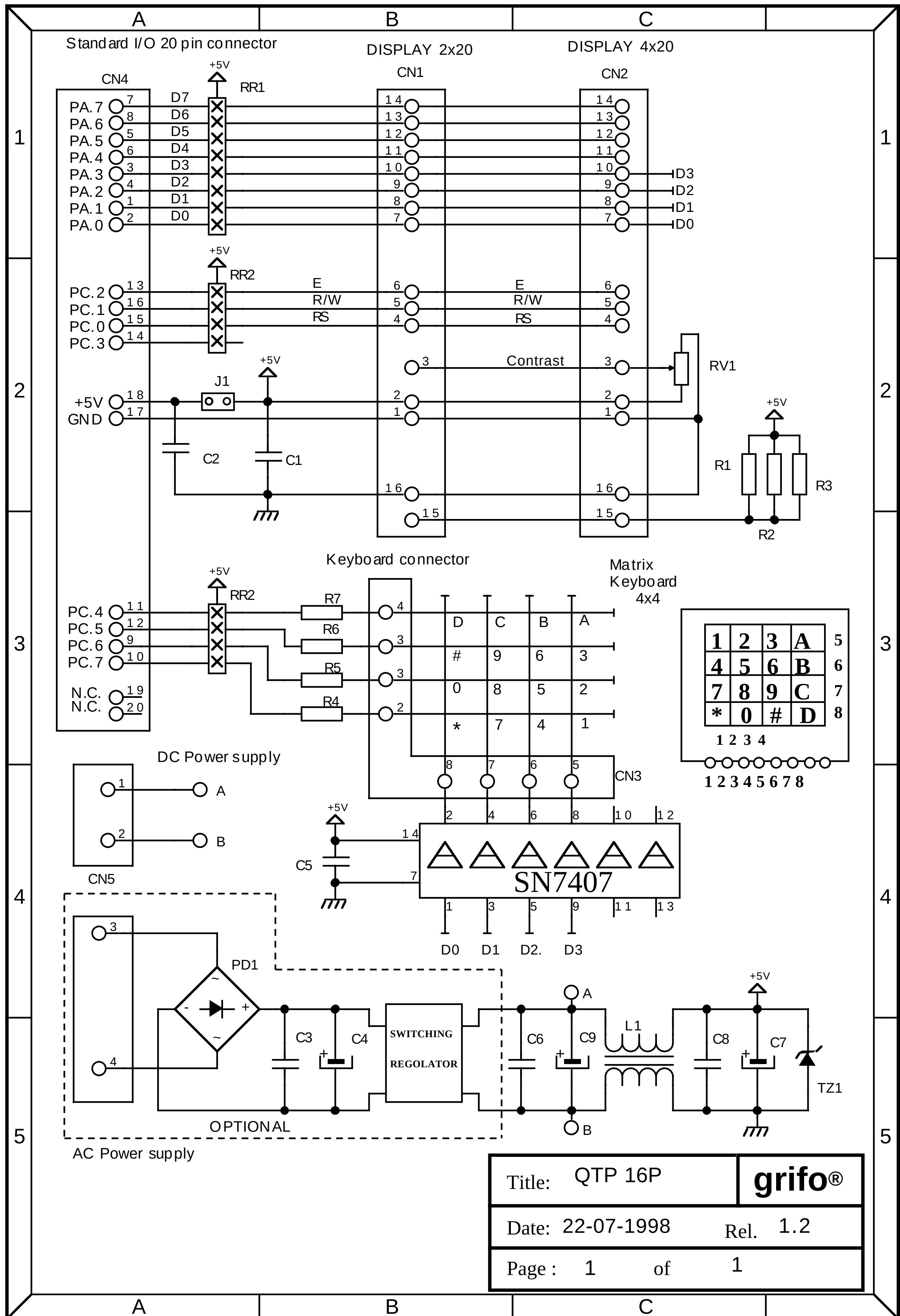


FIGURA A3: SCHEMA ELETTRICO QTP 16P

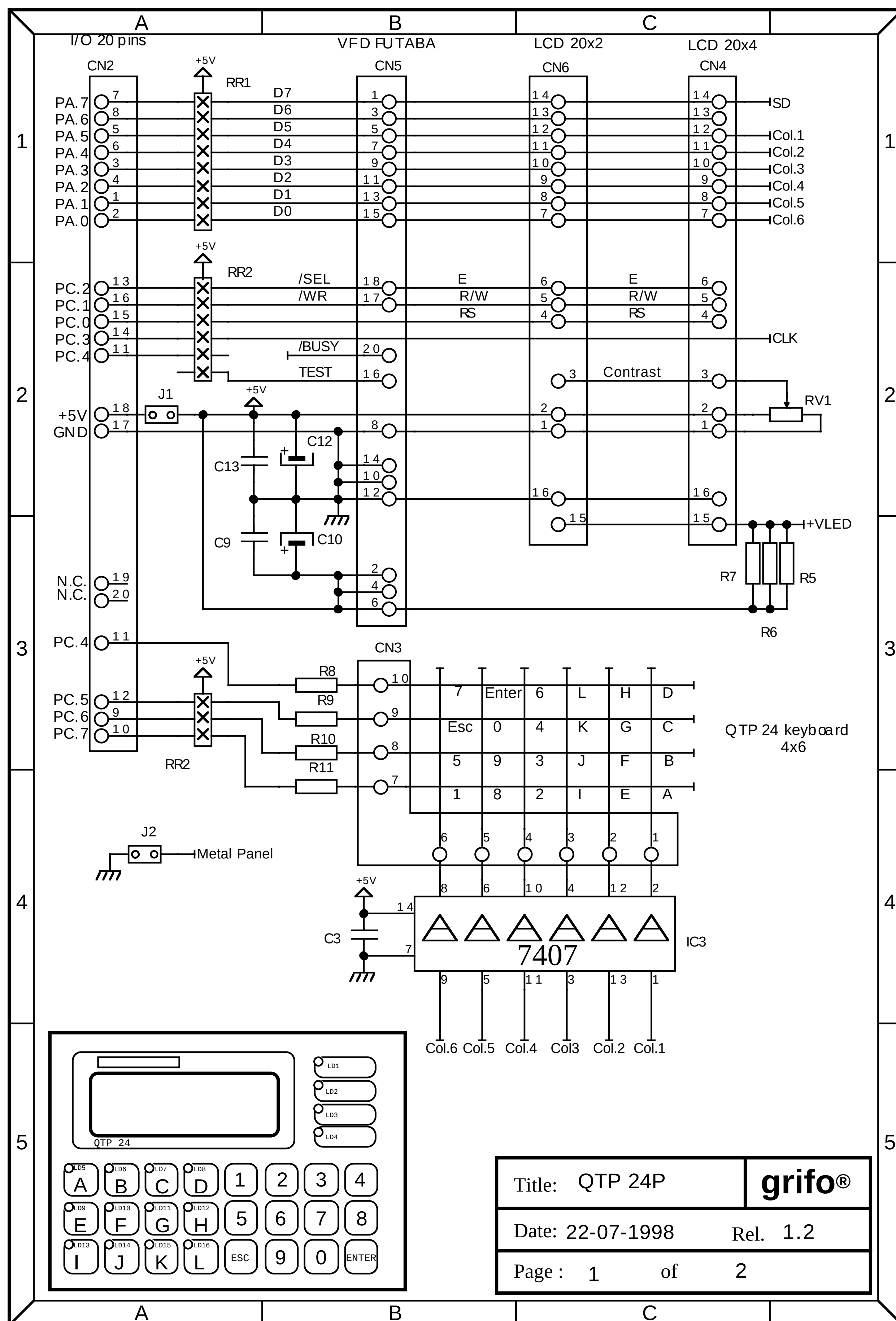


FIGURA A4: SCHEMA ELETTRICO QTP 24P - PARTE 1

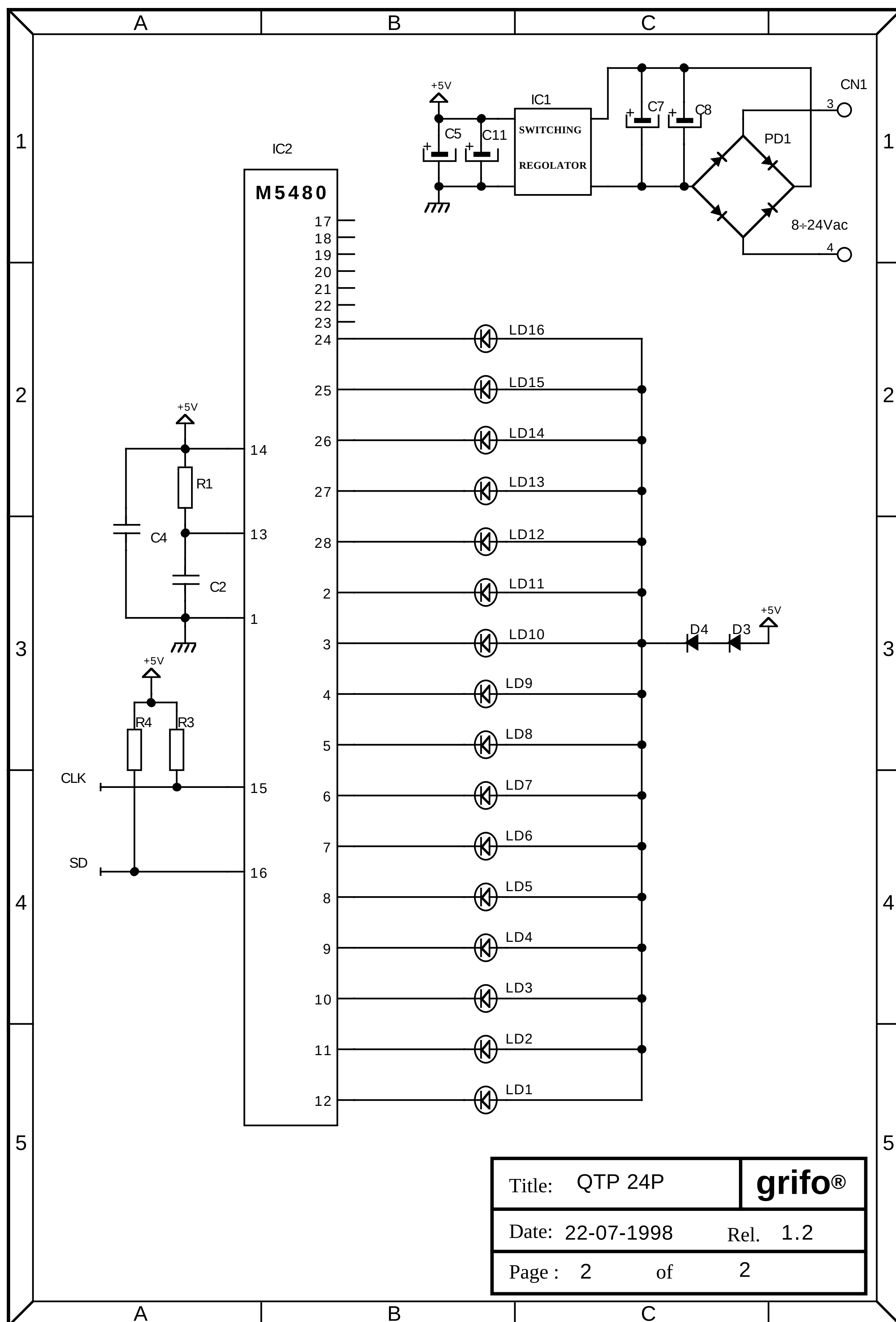


FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2

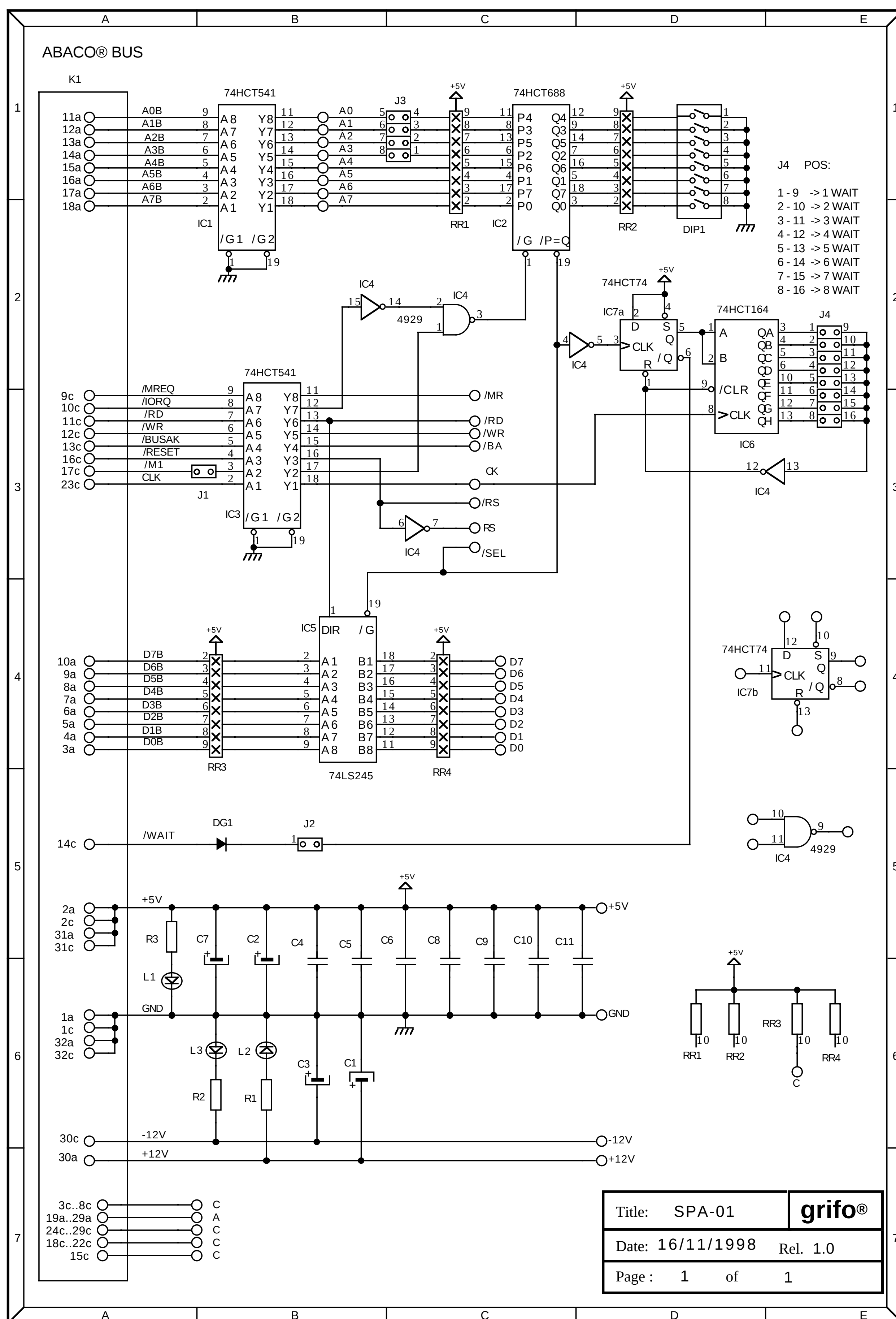


FIGURA A6: SCHEMA ELETTRICO SPA 01

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO

CPU Z84C15



PRODUCT SPECIFICATION

Z84013/015
Z84C13/Z84C15
IPC INTELLIGENT PERIPHERAL CONTROLLER

FEATURES

- Z84C00 Z80 CPU with Z84C30 CTC, Z84C4X SIO, CGC, Watch Dog Timer(WDT). In addition, Z84C15 and Z84015 have Z84C20 PIO.
- High speed operation 6, 10 MHz
- 16 MHz operation for Z84C15 only.
- Low power consumption in four operation modes:
  41 mA Typ. (Run mode)
  6 mA Typ. (Idle1 mode)
  60 µA Typ. (Idle2 mode)
  0.5 µA Typ. (Stop mode)
- Wide operational voltage range (5V ± 10%).
- TTL/CMOS compatible.
- Z84013 features:
  - Z84C00 Z80 CPU
  - On-chip two channel SIO (Z80 SIO).
  - On-chip four channel Counter Timer Controller (Z80 CTC).
  - Built-in Clock Generator Controller (CGC).
  - Built-in Watch Dog Timer (WDT).
  - Noise filter to CLK/TRG inputs of the CTC.
  - 84-pin PLCC package.

Z84015 features:
- - All Z84013 features, plus on-chip two 8-bit ports (Z80 PIO) and 100-pin QFP package.

Z84C13/Z84C15 enhancements to Z84013/Z84015:
- - Power-on reset.
  - Addition of two chip select pins.
  - 32-bit CRC for Channel A of SIO.
  - Wait state generator.
  - Simplified EV mode selection.
  - Schmitt-trigger inputs to transmit and receive clocks of the SIO.
  - Crystal divide-by-one mode.
  - 100-pin VQFP (Z84C15 only)

2

GENERAL DESCRIPTION

The Intelligent Peripheral Controller (IPC) is a series of highly superintegrated devices with four versions. The Z84C13 and the Z84C15 are upward compatible versions of the Z84013 and the Z84015. The Z84015 is a CMOS 8-bit microprocessor integrated with the CTC, SIO, CGC, WDT and the PIO into a single 100-pin Quad Flat Pack(QFP) package. The Z84013 is the Z84015 without PIO, and is housed in a 84-pin PLCC package. The Z84C13 is the Z84013 with enhancements and the Z84C15 is the Z84015 with enhancements. These high-end superintegrated intelligent peripheral controllers are targeted for a broad range of applications ranging from error correcting modems to enhancement/cost reductions of existing hardware using Z80-based discrete peripherals. Figures 1 and 2 show the difference between the Z84013/015 and the Z84C13/Z84C15.

Hereinafter, use the word IPC on the description covering all versions (Z84C13/Z84C15 and Z84013/Z84015). Use Z84C13/C15 on the description that applies only to the Z84C13 and Z84C15, and use Z84013/015 on the description that applies only to the Z84013 and Z84015.

2-69

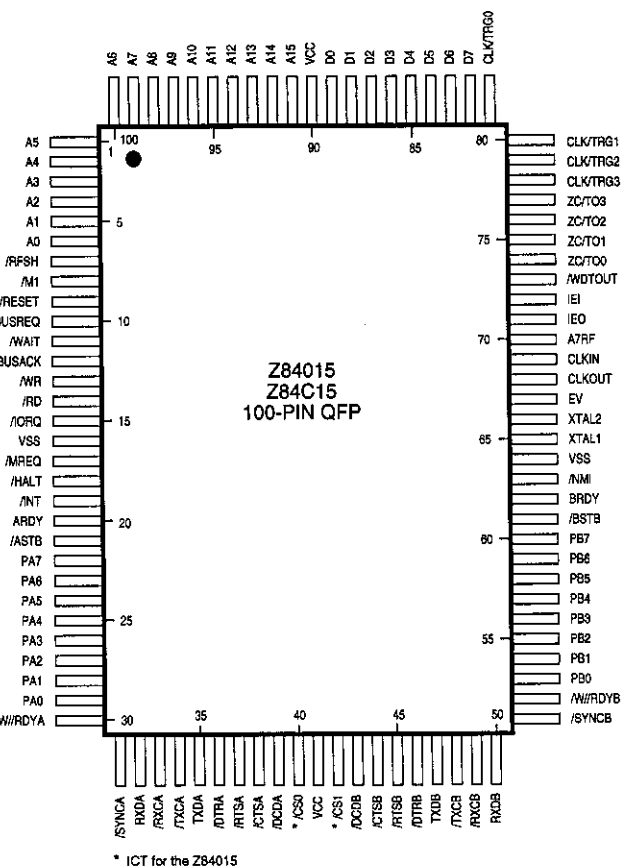


Figure 4. Z84015/Z84C15 Pin-out Assignments

PIN DEFINITIONS

The pin assignment for each device is shown in Figures 3 and 4. Following is the description on each pin. For the description and the pin number, if stated as "x13" or "x15", that applies to both Z84C13/Z84013 or Z84C15/Z84015. Otherwise, C13 for Z84C13, C15 for Z84C15, 013 for Z84013 and 015 for Z84015.

2-72

2

CPU SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
A0-A15	16-1(x13), 6-1, 100-91(x15)	I/O	16-bit address bus. Specifies I/O and memory addresses to be accessed. During the refresh period, addresses for refreshing are output. The bus is an input when the external master is accessing the on-chip peripherals.
D0-D7	83-76(x13), 89-82(x15)	I/O	8-bit bidirectional data bus. When the on-chip CPU is accessing on-chip peripherals, these lines are set to output and hold the data to/from on-chip peripherals.
/RD	30(x13), 14(x15)	I/O	Read signal. CPU read signal for accepting data from memory or I/O devices. When an external master is accessing the on-chip peripherals, it is an input signal.
/WR	20(x13), 13(x15)	I/O	Write Signal. This signal is output when data, to be stored in a specified memory or peripheral LSI, is on the MPU data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/MREQ	23(x13), 17(x15)	I/O, 3-State	Memory request signal. When an effective address for memory access is on the address bus, "0" is output. When an external master is accessing the on-chip peripherals, it is an tri-state signal.
/IORQ	21(x13), 15(x15)	I/O	I/O request signal. When addresses for I/O are on the lower 8 bits (A7-A0) of the address bus in the I/O operation, "0" is output. In addition, the /IORQ signal is output with the /M1 signal at the time of interrupt acknowledge cycle to inform peripheral LSI of the state of the interrupt response vector is when put on the data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/M1	17(x13), 8(x15)	I/O	Machine cycle "1". /MREQ and "0" are output together in the operation code fetch cycle. /M1 is output for every opcode fetch when a two byte opcode is executed. In the maskable interrupt acknowledge cycle, this signal is output together with /IORQ. It is 3-stated in EV mode.

2-73

CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RFSH	26(x13), 7(x15)	Out, 3-State	The refresh signal. When the dynamic memory refresh address is on the low order byte of the address bus, /RFSH is active along with /MREQ signal. This pin is 3-stated in EV mode.
/INT	25(x13), 19(x15)	Open drain	Maskable interrupt request signal. Interrupt is generated by peripheral LSI. This signal is accepted if the interrupt enable Flip-Flop (IFF) is set to "1". The /INT signal of on-chip peripherals is internally wired - OR without pull-up resistors and requires external pull-up. Also, interrupts from on-chip peripherals go out from this pin.
/NMI	56(x13), 63(x15)	In	Non-maskable interrupt request signal. This interrupt request has a higher priority than the maskable interrupt request and does not rely upon the state of the interrupt enable Flip-Flop (IFF).
/HALT	31(x13), 81(x15)	Out, 3-State	Halt signal. Indicates that the CPU has executed a HALT instruction. This signal is 3-stated in EV mode.
/BUSREQ	18(x13), 10(x15)	In	BUS request signal. /BUSREQ requests placement of the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals into the high impedance state. /BUSREQ is normally wired-OR and a pull-up resistor is externally connected.
/BUSACK	29(x13), 12(x15)	Out (013/015), Out/3-State (C13/C15)	Bus Acknowledge signal. In response to /BUSREQ signal, /BUSACK informs a peripheral LSI that the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals have been placed in the high impedance state.

Note: For the Z84013/015 the /BUSACK signal will not be 3-stated during EV mode. For the Z84C13/C15 the /BUSACK will be 3-stated during EV mode.

Pin Name	Pin Number	Input/Output, 3-State	Function
/WAIT	19(x13), 11(x15)	In(013/015), I/O(C13/C15)	Wait signal. /WAIT informs the CPU that specified memory or peripheral is not ready for data transfer. As long as /WAIT signal is active, MPU is continuously kept in the wait state.

Note: For the Z84C13/C15, the /WAIT pin becomes an output to bring out on-chip wait state generator during the EV mode.

2-74

CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
A7RF	55(x13), 70(x15)	Out	1-bit auxiliary address bus. Output is the same as bit-7 (A7) of the address bus. However, during a refresh cycle, this pin outputs the address which is the most significant bit of the 8-bit refresh address signal linked to the low order 7 bits of the address bus.

CTC SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
CLK/TRG0 - CLK/TRG3	75-72(x13), 81-78(x15)	In	External clock/trigger input. These four CLK/TRG pins correspond to four Counter/Timer Channels. In the counter mode, each active edge will cause the downcounter to decrement by one. In timer mode, an active edge will start the timer. It is program selectable whether the active edge is rising or falling.
ZC/TO0 - ZC/TO3	68-71(x13), 74-77(x15)	Out	Zero count/timer out signal. In either timer or counter mode, pulses are output when the down-counter has reached zero.

SIO SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
/W//RDYA, /W//RDYB	32,54(x13), 30,52(x15)	Out	Wait/Ready signal A and Wait/Ready signal B. Used as /WAIT or /READY depending upon SIO programming. When programmed as /WAIT they go active at "0", alerting the CPU that addressed memory or I/O devices are not ready by requesting the CPU to wait. When programmed as /READY, they are active at "0" which determines when a peripheral device associated with a DMA port is for read/write data.
/SYNCA, /SYNCB	33,53(x13), 31,51(x15)	I/O	Synchronous signals.In asynchronous receive mode, they act as /CTS and /CDC. In external sync mode, these signals act as inputs. In internal sync mode, they act as outputs.
RxDA, RxDB	34,52(x13), 32,50(x15)	In	Serial receive data signal.

2-75

SIO SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RxCA, /RxCB	35,51(x13), 33,49(x15)	In	Receive clock signal. In the asynchronous mode, the receive clocks can be 1, 16, 32, or 64 times the data transfer rate.
/TxCA, /TxCB	36,50(x13), 34,48(x15)	In	Transmitter clock signal. In the asynchronous mode, the transmitter clocks can be 1, 16, 32, or 64 times the data transfer rate.
TxDA, TxDB	37,49(x13), 35,47(x15)	Out	Serial transmit data signal.
/DTRA, /DTRB	38,48(x13), 36,46(x15)	Out	Data terminal ready signal. When ready, these signals go active to enable the terminal transmitter. When not ready they go inactive to disable the transfer from the terminal.
/RTSA, /RTSB	39,47(x13), 37,45(x15)	Out	Request to send signal. "0" when transmitting serial data. They are active when enabling their receivers to transmit data.
/CTSA, /CTSB	40,46(x13), 38,44(x15)	In	Clear to send signal. When "0", after transmitting these signals the modem is ready to receive serial data. When ready, these signals go active to enable terminal transmitter. When not ready, these signals go inactive to disable transfer from the terminal.
/DCDA, /DCDB	41,45(x13), 39,43(x15)	In	Data carrier detect signal. When "0", serial data can be received. These signals are active to enable receivers to transmit.

SYSTEM CONTROL SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
IEI	60(x13), 72(x15)	In	Interrupt enable input signal. IEI is used with the IEO to form a priority daisy chain when there is more than one interrupt-driven peripheral.
IEO	59(x13), 71(x15)	Out	The interrupt enable output signal. In the daisy chain interrupt control, IEO controls the interrupt of external peripherals. IEO is active when IEI is "1" and the CPU is not servicing an interrupt from the on-chip peripherals.
/CS0 (C13/C15 only)	42(C13), 40(C15)	Out	Chip Select 0. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.

SYSTEM CONTROL SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/CS1 (C13/C15 only)	40(x13), 42(x15)	Out	Chip Select 1. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.
/WDTOUT	61(x13), 73(x15)	Out(013/015), Open Drain(C13/C15)	Watch Dog Timer Output signal. Output pulse width depends on the externally connected pin.
/RESET	28(x13), 9(x15)	Input(013/015), I/O (Open Drain) (C13/C15)	Reset signal. /RESET signal is used for initializing MPU and other devices in the system. Also used to return from the steady state in the STOP or IDLE modes.

Note: For the Z84013/Z84015 the /RESET must be kept in active state for a period of at least three system clock cycles.

Note: For the Z84C13/Z84C15, during the power-up sequence, the /RESET becomes an Open drain output and the Z84C13/C15 will drive this pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V and then reverts to input. If it receives the /RESET signal after power-on sequence, it will drive /RESET pin for 16-processor clock cycles depending on the status of Reset Output Disable bit in Misc Control Register. If this Reset output is disabled, it must be kept in active state for a period of at least three system clock cycles. Note, that if using Z84C13/C15 in a Z84013/015 socket, modification may be required on the reset circuit since this pin is "pure input pin" on the Z84013/015. Also, the /RESET pin doesn't have internal pull-up resistors and therefore requires external pull-ups. For more details on the device, please refer to "Functional Description."

Pin Name	Pin Number	Input/Output, 3-State	Function
XTAL1	63(x13), 65(x15)	In	Crystal oscillator connecting terminal. A parallel resonant crystal is recommended. If external clock source is used as an input to the CGC unit, supply clock goes into this terminal. If external clock is supply to CLKIN pin (without CGC unit), this terminal must be connected to "0" or "1".
XTAL2	63(x13), 66(x15)	Out	Crystal oscillator connecting terminal.
CLKIN	67(x13), 69(x15)	In	Single-phase System Clock Input.
CLKOUT	66(x13), 68(x15)	Out	Single-phase clock output from on-chip Clock Generator/Controller.
EV	58(x13), 67(x15)	In	Evaluator signal. When "1" is applied to this pin, IPC is put in Evaluation mode.

Note: For the Z84013/015, together with /BUSREQ, the EV signal puts the IPC into the evaluation mode. When this signal becomes active, the status of /M1, /HALT and /RFSH change to input. When using Z84013/015 as an evaluator chip, the CPU is electrically disconnected after one machine cycle is executed with the EV signal "1" and the /BUSREQ signal "0". It follows the instructions from the other CPU (of ICE). Upon receiving /BUSREQ; A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input and D7-D0 changes its direction. /BUSACK is NOT 3-stated so it should be disconnected by an externally connected circuit. For details, please refer to "Functional Description" on EV mode.

2

SYSTEM CONTROL SIGNALS (Continued)

Note: For the Z84C13/C15, to access on-chip resources from the CPU (e.g., ICE CPU), the CPU is electrically disconnected; A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input; D7-D0 changes its direction; /M1, /HALT and /RFSH are put into the high impedance state when the EV pin is set to "1". Also, /BUSACK is 3-stated. For details, please refer to "Functional Description" on EV mode.

Pin Name	Pin Number	Input/Output, 3-State	Function
ICT	42,44(013), 40,42(015), Not with C13/C15	Out	Test pins. Used in the open state.
NC	24,27,57,65(x13), Not with x15		Not connected.
VCC	43,84(x13), 41,90(x15)	Power Supply	+5 Volts
VSS	22, 62(x13), 16,64(x15)	Power Supply	0 Volts

PIO SIGNALS (for the Z84x15 only)

Pin Name	Pin Number	Input/Output, 3-State	Function
/ASTB	21(x15)	In	Port A strobe pulse from a peripheral device. The signal is used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
/BSTB	61(x15)	In	Port B strobe pulse from a peripheral device. This signal is used as the handshake between Port B and external circuits. The meaning of this signal is the same as /ASTB, except when Port A is in mode 2 (see "PIO Basic Timing").
ARDY	20(x15)	Out	Register A ready signal. Used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
BRDY	62(x15)	Out	Register B ready signal. Used as the handshake between Port B and external circuits. The meaning of this signal is the same as ARDY except when Port A is in mode 2 (see "PIO Basic Timing").
PA7-PA0	22-29(x15)	I/O, 3-State	Port A data signals. Used for data transfer between Port A and external circuits.
PB7-PB0	53-60(x15)	I/O, 3-State	Port B data signals. Used for transfer between Port B and external circuits.

2-78

The following pins have different functions between 013/015 and C13/C15

Pin Name	Pin # X13	Pin # X15	Function
/RESET	28	9	Functionality is different.
/WAIT	19	15	Functionality is different.
EV	58	67	Functionality is different.
/WDTOUT	61	73	Push-pull output on Z84013/015, Open drain on Z84 C13/C15
ICT	40, 42	42, 40	(Test pin) on Z84013/015; /CS0 and /CS1 on Z84C13/15.
TxCA, TxCB, RxCA and RxCB	35, 36, 50, 51	33, 34, 48, 49	On Z84C13/15; these signals have Schmitt-triggered inputs.
/BUSACK	29	12	In EV mode, 3-stated on Z84C13/15; remains active on Z84013/015.

2

FUNCTIONAL DESCRIPTION

Figure 5(a) shows the functional block diagram of the Z84013/015 and Figure 5(b) shows the functional block diagram of the Z84C13/C15. As described earlier, the only difference between the Z84x13 and the Z84x15 is the PIO not being available on the Z84x13.

Functionally, the on-chip SIO, PIO (not available on Z84x13), CTC, and the Z80 CPU are the same as the discrete devices. Therefore, for detailed description of each individual unit, refer to the Product Specification/Technical Manual of each discrete product.

The following subsections describe each individual functional unit of the IPC.

Z84C00/01 Logic Unit
The CPU provides all the capabilities and pins of the Zilog Z80 CPU. This allows 100% software compatibility with existing Z80 software. In addition, it has the pin called "A7RF" to extend DRAM refresh address to 8-bits. Refer to "Z84C01 Z80 CPU with CGC" Product Specification.

Z84C20 Parallel Input/Output Logic Unit (Z84x15 Only)
This logic unit provides both TTL- and CMOS- compatible interfaces between peripheral devices and a CPU through the use of two 8-bit parallel ports (Figure 6). The CPU configures the logic to interface to a wide range of peripheral devices with no external logic. Typical devices that are compatible with this interface are keyboards, printers, and EPROM/PAL programmers.

The parallel ports (designated Port A and Port B) are byte wide and completely compatible with the Z84C20 PIO.

These two ports have several modes of operation; input, output, bi-directional, or bit control mode. Each port has two handshake signals (RDY and /STB) which are used to control data transfers. The RDY (ready) indicates that the port is ready for data transfer while /STB (strobe) is an input to the port that indicates when data transfer has occurred. Each of the ports can be programmed to interrupt the CPU upon the occurrence of specified status conditions, and generate unique interrupt vectors when the CPU responds (for more information on the operation of this portion of the logic, please refer to the Z84C20 PIO Product Specification and Technical Manual).

Z84C30 Counter/Timer Logic Unit
This logic unit provides the user with four individual 8-bit Counter/Timer Channels that are compatible with the Z84C30 CTC (Figure 7). The Counter/Timers can be programmed by the CPU for a broad range of counting and timing applications. Typical applications include event counting, interrupt and interval counting, and serial baud rate clock generation.

Each of the Counter/Timer Channels, designated Channels 0-3, have an 8-bit prescaler (when used in timer mode) and its own 8-bit counter to provide a wide range of count resolution. Each of the channels have their own Clock/Trigger input to quantify the counting process and an output to indicate zero crossing/timeout conditions. With only one interrupt vector programmed into the logic unit, each channel can generate a unique interrupt vector in response to the interrupt acknowledge cycle.

2-79



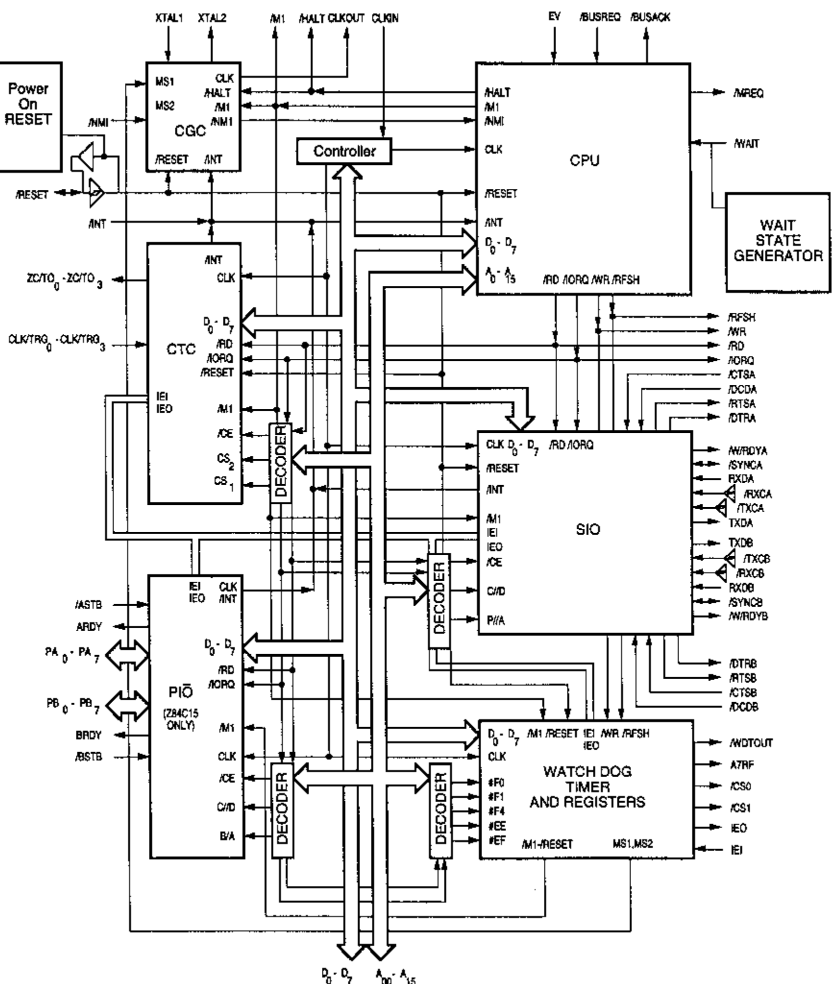


Figure 5(b). Block Diagram for 84C13/C15 IPC

2-81

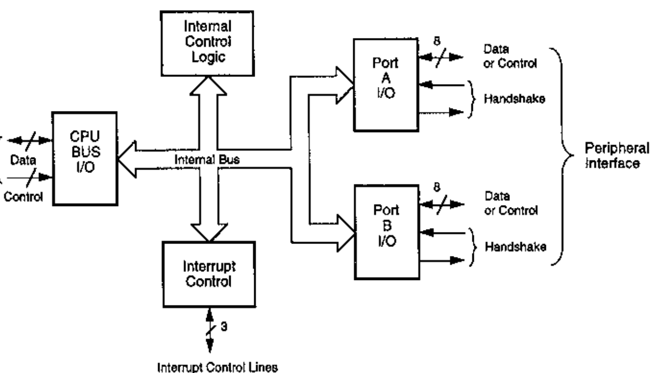


Figure 6. PIO Block Diagram

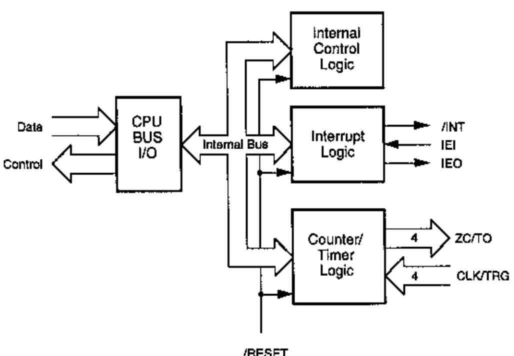


Figure 7. CTC Block Diagram

Z84C4x Serial I/O Logic Unit

This logic unit provides the user with two separate multi-protocol serial I/O channels that are completely compatible with the Z84C4x SIO. Their basic functions as serial-to-parallel and parallel-to-serial converters can be programmed by a CPU for a broad range of serial communications applications. Each channel, designated Channel A and Channel B, is capable of supporting all common asynchronous and synchronous protocols (Monosync, Bisync, and SDLC/HDLC, byte or bit oriented - Figure 8).

Z84C13/C15 Only. As an enhancement to the Z84013/015, the Z84C13/C15 can handle a 32-bit CRC on Channel A and Schmitt-trigger inputs on the /TxC and /RxC pins of both channels.

2-82

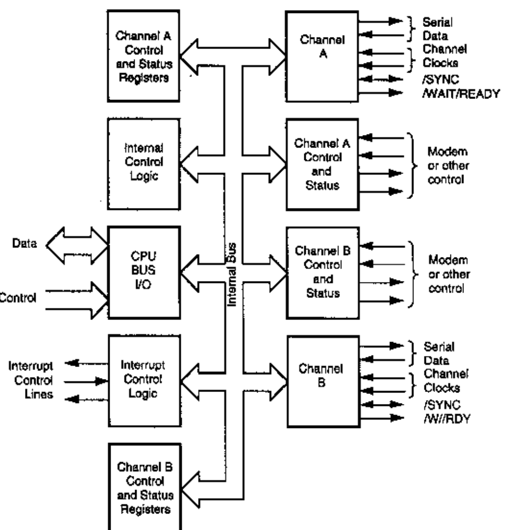


Figure 8. SIO Block Diagram

2

Watch Dog Timer (WDT) Logic Unit
This logic unit has been superintegrated into the IPC. It detects an operation error, caused by the program run-away, and returns to normal operation. Figure 9, shows the block diagram of the WDT. Upon Power-On Reset, this unit is enabled. If WDT is not required, but /WDTOUT is connected to /RESET or any other circuit, it has to be disabled. During the power-down mode of operation (either IDLE1/2 or Stop), the Watch Dog Timer is halted.

WDT Output (/WDTOUT pin). When the WDT is used, the "0" level signal is output from the /WDTOUT pin after a duration of time specified in the WDTP or in the WDTMR. The output pulse width is one of the following, depending on the /WDTOUT pin connection.

- The /WDTOUT is connected to the /RESET pin: The "0" level is pulsed for 5TcC (System clock cycles).
- The /WDTOUT is connected to a pin other than the /RESET pin: The "0" level is kept until the Watch Dog timer is cleared by software, or reset by /RESET pin.

CGC Logic Unit. The IPC has CGC (Clock Generator/Controller) unit. This unit is identical to the one with the Z84C01 and the Z84C50, and supports power-down modes of operation. The output from this unit is on the pin called CLKOUT, and is not connected to the system clock internally. The CLKIN pin is the system clock input. The user can connect CLKOUT to CLKIN to utilize this CGC unit, or supply external clock from CLKIN pin.

The CGC unit allows crystal input (XTAL1, XTAL2) or External Clock input on the XTAL1 pin. It has clock divide-by-two circuits and generates a half-speed clock to the input.

Z84C13/C15. The power-down modes of the IPC vary depending upon whether the system clock is fed from the CGC unit (tie CLKOUT to CLKIN) or the external clock source on the CLKIN pin. They also have divide-by-one Mode. If the clock is supplied by this CGC unit, all of the modes in "halt" state are available. When external clock is provided on the CLKIN pin, XTAL1 is not left open (tied to "0" or "1") to avoid meta-stable conditions to minimize power consumption.

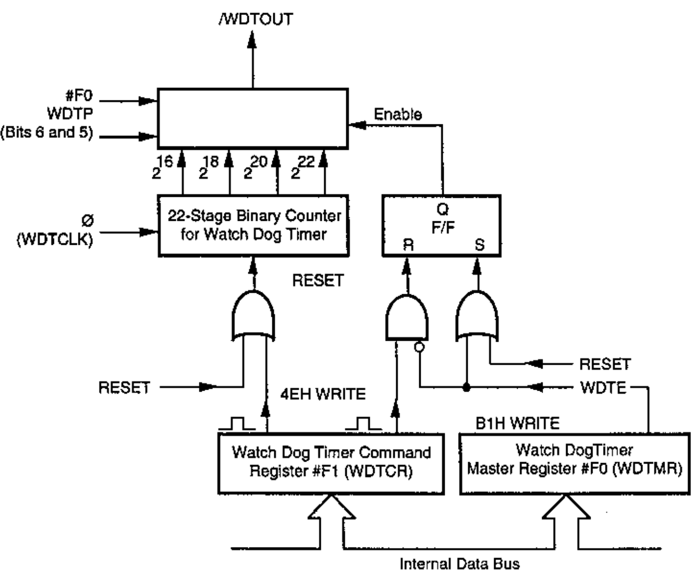


Figure 9. Block Diagram of Watch Dog Timer

Z84013/015 Only. If the system clock is provided on the CLKIN pin, none of the power-down mode (except RUN mode) is supported.

Z84C13/C15 Only. If the system clock is provided on the CLKIN pin, only the IDLE2 mode is applicable. In this mode, if the HALT instruction is executed, internal clock to the CTC is kept on "Continue", but the clock to the other components (CPU, PIO, SIO and Watch Dog Timer) are stopped. The divide-by-two circuit of the CGC unit can be skipped by programming bit D4 of the WDTMR (see "Programming" section). Upon Power-on Reset, it comes up in divide by two mode.

System Clock Generation
The IPC has a built-in oscillator circuit and the required clock can be easily generated by connecting a crystal to the external terminals (XTAL1, XTAL2). Clock output is the same frequency as half the speed of the crystal frequency. Example of oscillator connections are shown in Figure 10.

Z84C13/C15. Clock output is the same, or half, of the external frequency.

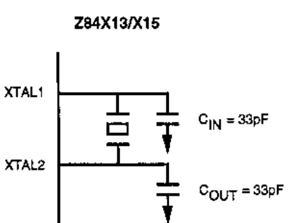


Figure 10. Circuit Configuration For Crystal

Recommended characteristics of the crystal and the values for the capacitor are as follows (the values will change with crystal frequency).

- Type of crystal: Fundamental, parallel type crystal (AT cut is recommended).
- Frequency tolerance: Application dependent.
- CL, Load capacitance: Approximately 22pf (acceptable range is 20-30pf).
- Rs, equivalent-series resistance: ≤ 150 ohms.
- Drive level:10mW (for ≤ 10MHz crystal); 5mW (for ≥ 10MHz crystal).
- $C_{IN} = C_{OUT}$ = 33pF.

Power-On Reset Logic Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Power-on Reset Circuit. During the power-up sequence, the open-drain gate of the on-chip power-on Reset circuit drives /RESET pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V. After the termination of the "Power-on Reset" cycle, the open-drain gate of the on-chip Power-on Reset circuit stops to drive the /RESET pin. It is required to have external pull-up register on the /RESET pin.

If it receives /RESET input from outside after the power-on sequence and while the Reset Output Disable bit in Misc Control Register is cleared to "0", it will drive the /RESET pin for 16-processor clock cycles from the falling edge of the external /RESET input. Otherwise, the /RESET pin must be kept in the active state for a period of at least 3 system clock cycles.

If there are power-on reset circuits outside of this device, drive this pin with OPEN-DRAIN type gates with pull-up resisters because /RESET signal is driven low for the period mentioned above during the Power-on sequence. If the external Power-on Reset circuit has push-pull type drivers and they drive the /RESET pin to "1" during that period, it may cause damage. In particular, when using Z84C13/C15 in the Z84013/015 socket, modification may be required on the external reset circuit.

Wait State Generator Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Wait State Generator circuit. It is capable of generating /WAIT signals to the CPU internally. The status of the External /WAIT input line is sampled after the insertion of software wait states, except for the wait state's insertion of Interrupt Daisy Chain Wait (for this cycle, insertion of a wait state is not simple).

The Wait State Control Register can be programmed to generate multiple Wait states during different CPU cycles listed as follows.

Memory Wait and Opcode wait. The Wait State Generator can put 0 to 3 wait states in memory accesses. Additionally, one added wait state can be inserted during an /M1 (Opcode fetch) cycle, because /M1 cycle's timing requirement is tighter than memory Read/Write cycles. It generates wait states to the Memory Access in a specified address range, which is programmed in the Memory Wait Boundary Register.

I/O Wait. The Wait State generator can put 0, 2, 4 or 6 wait states in I/O accesses. Regardless of the programming of this field, no I/O wait states are inserted for accesses to on-chip peripherals.

Interrupt Vector Wait. During Interrupt acknowledge cycle, the Wait State Generator can insert one wait state after /IORQ goes active, to extend the time between /IORQ fall to vector fetch by CPU. It allows a slow vector response device.

Interrupt Daisy Chain Wait and RETI sequence extension. During Interrupt acknowledge cycle, the Wait State Generator can insert 0, 2, 4 or 6 wait states between /M1 falling to /IORQ falling edge, to extend the time required to settle daisy chain. This allows a longer daisy chain. Also, this field controls the number of wait states inserted during RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, Wait State Generator also inserts wait states during RETI fetch sequence. This sequence is generated with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 2 or 4 wait states, respectively, if op-code followed by EDh is 4Dh. One wait state if the following op-code is not 4Dh.

Chip Select Signals (Z84C13/C15 Only)
The Z84C13/C15 has an enhanced feature of adding two chip select (/CS0, /CS1) pins. Both signals are originally IC test pins (ICT) on the Z84013/015. The boundary value for each Chip Select Signal is 4 bits wide, and compare with A15-A12 of the address. Each Chip Select Signal goes active when:

/CS0: (D3-D0 of CSBR) ≥ A15-A12 ≥ 0
/CS1: (D7-D4 of CSBR) ≥ A15-A12 > (D3-D0 of CSBR)

(Where CSBR is the contents of Chip Select Boundary Register.)

There is also a separate /CS enable bit. /CS0 is enabled on power-up with a boundary value of "F" causing /CS0 to go active for all memory accesses. /CS1 is disabled on

2

power-up, and boundary address is undefined. These features are controlled via the I/O control registers located at I/O address EEh and EFh. Note that a glitch may be observed on these pins because address decode logic is decoding only A15-A12, without any control signals. For more detail, please refer to the "Programming section."

Other functional features (Z84C13/C15 Only)
For more system design flexibility, the Z84C13/C15 has the following unique features. These features are controlled by MCR (Misc. Control Register) which is indirectly accessed via the System Control Register Pointer (SCRP, I/O address EEh), and System Control Data Port (SCDP, I/O address EFh). For more details, please refer to the "Programming" section.

- Clock Divide-by-one option
- Reset Output Disable
- 32-bit CRC Generation/Checking

Clock Divide-by-One Option. This feature is programmed through Bit D4 of MCR. Upon Power-On reset, the Clock from on-chip CGC is passed through a divide-by-two circuit. By setting this bit to one, the divide-by-two circuit is bypassed so the clock on the CLKOUT pin is equal to X'tal input. If the clock is applied to the CLKIN pin from external clock source, the status of this bit is ignored. Upon Power-on Reset, it is cleared to 0. For details, please refer to "Programming" section.

Reset Output Disable. This feature is programmed by Bit D3 of MCR. If this bit is cleared to "0", The /RESET pin becomes "Open-drain output" and is driven to "0" for 16-clock cycles from the falling edge of /RESET input. This feature is for the cases where /RESET is used to get out from the "HALT" state. If this bit is set to one, the on-chip reset circuit will not drive /RESET pin.

32-bit CRC Generation/Checking. This feature is programmed by Bit D2 of MCR. By setting this bit to one, Channel A of SIO is set to use the 32-bit CRC generator/checker instead of the original 16-bit CRC generator/checker in synchronous communication modes. The polynomial to be used in this mode is the one for the protocols such as V.42, and is (X32 + X26 + X23+ X22 + X16 + X12 + X11 + X10 + X8 + X7 + X5 + X4 + X2 + X + 1). Upon Power-on Reset, this bit is cleared to 0.

Evaluation Mode
The IPC has a built evaluation (or development) mode feature which allows the users to utilize standard Z80 development systems conveniently. This mode virtually replaces the on-chip Z80 CPU with the external CPU. In this mode, the on-chip CPU is electrically disconnected from internal bus and all 3-state signals (A15-0, D7-0, /MREQ, /IORQ, /RD, /WR, /HALT, /M1 and /RFSH; for C13/C15, /BUSREQ as well) are tri-stated, or changed to input. This allows the development system CPU to take over and use the internal I/O registers of the IPC exactly as if the CPU was on-chip.

Z84013/015 Only. When this signal is active, the /M1, /HALT and /RFSH pins are put in the high-impedance state. In using the Z84013/015 as an evaluator chip, the CPU is electrically disconnected (put in high-impedance state) after one machine cycle is executed with the EV signal being "1" and the /BUSREQ signal being "0". Then, on-chip resources can be accessed from the outside. /BUSACK is disconnected by an externally connected circuit.

Z84C13/C15 Only. If the EV pin is tied to Vcc on Power-up, the Z84C13/C15 enters into an evaluation mode. In this mode, the internal CPU is immediately disconnected from the internal bus and all 3-state signals mentioned above are tri-stated, or changed to input. Note that the /WAIT pin became the OUTPUT pin in EV mode, and the Wait State Generator generates wait states only as programmed. If the target application board has a separate wait state generator, modification of the target may be required. /BUSACK is 3-stated in this mode.

The Z84C13/C15 behaves similarly to the situation where in regular operation, the /BUSREQ signal is asserted by an external master causing all 3-state signals to be tri-stated by the Z84C13/C15 during T1 of the following machine cycle. The /BUSREQ approach was not used for the evaluation mode to avoid significant external circuitry to work around the time period before the external CPU uses the bus for Z84C13/C15 accesses.

PROGRAMMING

I/O address assignment
The IPC 's on-chip peripherals' I/O addresses are listed in Table 1. They are fully decoded from A7-A0 and have no image. The registers with Z84C13/C15 located at I/O Address EEh and EFh are the registers to control enhanced features to Z84013/015, and not assigned on Z84C013/015.



Table 1. I/O Control Register Address

Address	Device	Channel	Register
10h	CTC	Ch 0	Control Register
11h	CTC	Ch 1	Control Register
12h	CTC	Ch 2	Control Register
13h	CTC	Ch 3	Control Register
18h	SIO	Ch. A	Data Register
19h	SIO	Ch. A	Control Register
1Ah	SIO	Ch. B	Data Register
1Bh	SIO	Ch. B	Control Register
1Ch	PIO	Port A	Data Register (Not with Z84x13)
1Dh	PIO	Port A	Command Register (Not with Z84x13)
1Eh	PIO	Port B	Data Register (Not with Z84x13)
1Fh	PIO	Port B	Command Register (Not with Z84x13)
F0h	Watch-Dog Timer		Master Register (WDTMR)
F1h	Watch-Dog Timer		Control Register (WDTCR)
F4h	Interrupt Priority Register		
EEh			System Control Register Pointer (SCRP) (Not with Z84013/015)
EFh			System Control Data Port (SCDP) (Not with Z84013/015)
	Through SCRP and SCDP		Control Register 00 - Wait State Control register (WCR)
			Control Register 01 - Memory Wait state Boundary Register (MWBR)
			Control Register 02 - Chip Select Boundary Register (CSBR)
			Control Register 03 - Misc. Control Register (MCR)

PIO REGISTERS

For more detailed information, please refer to the PIO Technical Manual. These registers are not in the Z84x13.

Interrupt Vector Word
The PIO logic unit is designed to work with the Z80 CPU in interrupt Mode 2. The interrupt word must be programmed if interrupts are used. Bit D0 must be a zero (Figure 11).

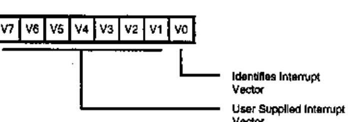


Figure 11. PIO Interrupt Vector Word

2

Mode Control Word
Selects the port operating mode. This word is required and is written at any time (Figure 12).

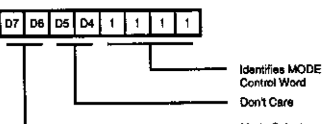


Figure 12. PIO Mode Control Word

I/O Register Control Word
When Mode 3 is selected, the Mode Control Word is followed by the I/O Register Control Word. This word configures the I/O register, which defines which port lines are inputs or outputs. A "1" indicates input while a "0" indicates output. This word is required when in Mode 3 (Figure 13).

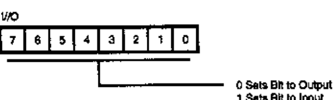
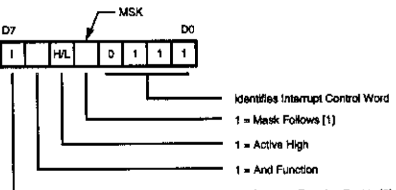


Figure 13. I/O Register Control Word

Interrupt Control Word
In Mode 3 operation, handshake signals are not used. Interrupts are generated as a logic function of the input signal levels. The Interrupt Control Word sets the logic conditions and the logic levels required for generating an interrupt. Two logic conditions or functions are available: AND (if all input bits change to the active level, an interrupt is triggered), OR (if any one of the input bits change to the active logic level, an interrupt is triggered). The user can program which input bits are to be considered as part of this logic function. Bit D6 sets the logic function, bit D5 sets the logic level, and bit D4 specifies a mask control word to follow (Figure 14).



Note:
[1] Regardless of the operating mode, setting Bit D4 = 1 causes any pending interrupts to be cleared.
[2] The port interrupt is not enabled until the interrupt function enable is followed by an active /M1.

Figure 14. Interrupt Control Word

Mask Control Word
This word sets the mask control register, thus allowing any unused bits to be masked off. If any bits are to be masked, then bit D4 of the interrupt Control Word is set. When bit D4 of the interrupt Control Word is set, then the next word programmed is the Mask Control Word. To mask an input bit, the corresponding Mask Control Word bit is a "1" (Figure 15).

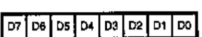


Figure 15. Mask Control Word

Interrupt Disable Word
This word can be used to enable or disable a port's interrupts without changing the rest of the port's interrupt conditions (Figure 16).

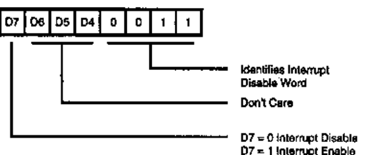


Figure 16. Interrupt Disable Word

CTC CONTROL REGISTERS

For more detailed information, refer to the CTC Technical Manual.

Channel Control Word
This word sets the operating modes and parameters as described below. Bit D0 is a "1" to indicate that this is a Control Word (Figure 17).

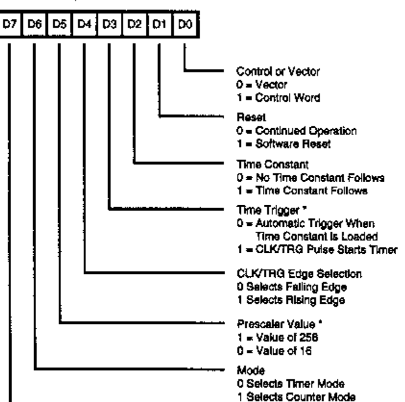


Figure 17. CTC Channel Control Word

Bit D7. *Interrupt Enable.* This bit enables the interrupt logic so that an internal INT can be generated at zero count. Interrupts are programmed in either mode and may be enabled or disabled at any time.

Bit D6. *Mode Bit.* This bit selects either Timer Mode or Counter Mode.

Bit D5. *Prescalor Factor.* This bit selects the prescalor factor for use in the timer mode. Either divide-by-16 or divide-by-256 is available.

Bit D4. *Clock/Trigger Edge Selector.* This bit selects the active edge of the CLK/TRG input pulses.

Bit D3. *Timer Trigger.* This bit selects the trigger mode for timer operation. Either automatic or external trigger may be selected.

Bit D2. *Time Constant.* This bit indicates that the next word programmed is time constant data for the downcounter.

Bit D1. *Software Reset.* Writing 1 to this bit indicates a software reset operation, which stops counting activities until another time constant word is written.

Time Constant Word
Before a channel starts counting, it must receive a time constant word. The time constant value is anywhere between 1 and 256, with "0" being accepted as a count of 256 (Figure 18).

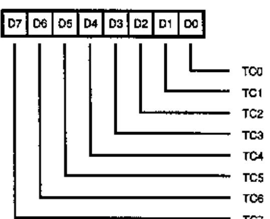


Figure 18. CTC Time Constant Word

Interrupt Vector Word
If one or more of the CTC channels have interrupt enabled, then the Interrupt Vector Word must be programmed. Only the five most significant bits of this word are programmed, and bit D0 must be "0". Bits D2-D1 are automatically modified by the CTC channels when it responds with an interrupt vector (Figure 19).

2-89

2

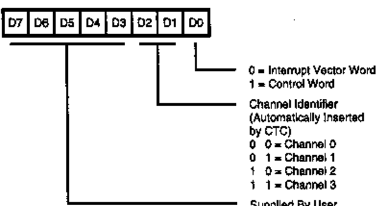


Figure 19. CTC Interrupt Vector Word

SIO REGISTERS

For more detailed information, refer to the SIO Technical Manual.

Read Registers. The SIO channel B contains three read registers while channel A contains only two that are read to obtain status information. To read the contents of a register (rather than RR0), the program must first write a pointer to WR0 in exactly the same manner as a write operation. The next I/O read cycle will place the contents of the selected read registers onto the data bus (Figure 20a, b, c).

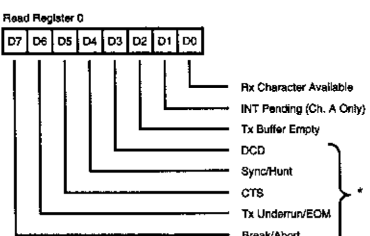
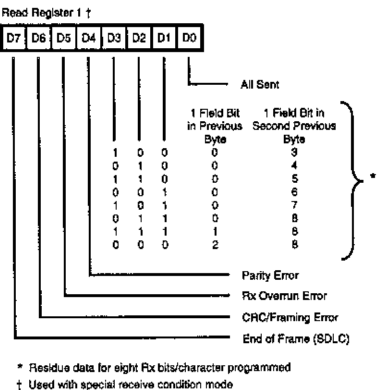


Figure 20a. SIO Read Register 0



1	0	0	0	3
0	1	0	0	4
1	1	0	0	5
0	0	1	0	6
1	0	1	0	7
0	1	1	0	8
1	1	1	1	8
0	0	0	2	8

Figure 20b. SIO Read Register 1

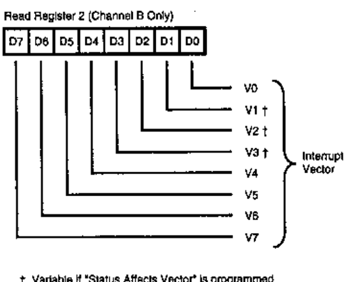


Figure 20c. SIO Read Register 2

Write Registers. The SIO Channel B contains eight write registers while Channel A contains only seven that are programmed to configure the operating mode characteristics of each channel. With the exception of WR0, programming the write registers is a two step operation. The first operation is a pointer written to WR0 which points to the selected register. The second operation is the actual control word that is written into the register to configure the SIO channel (Figure 21).

2-90

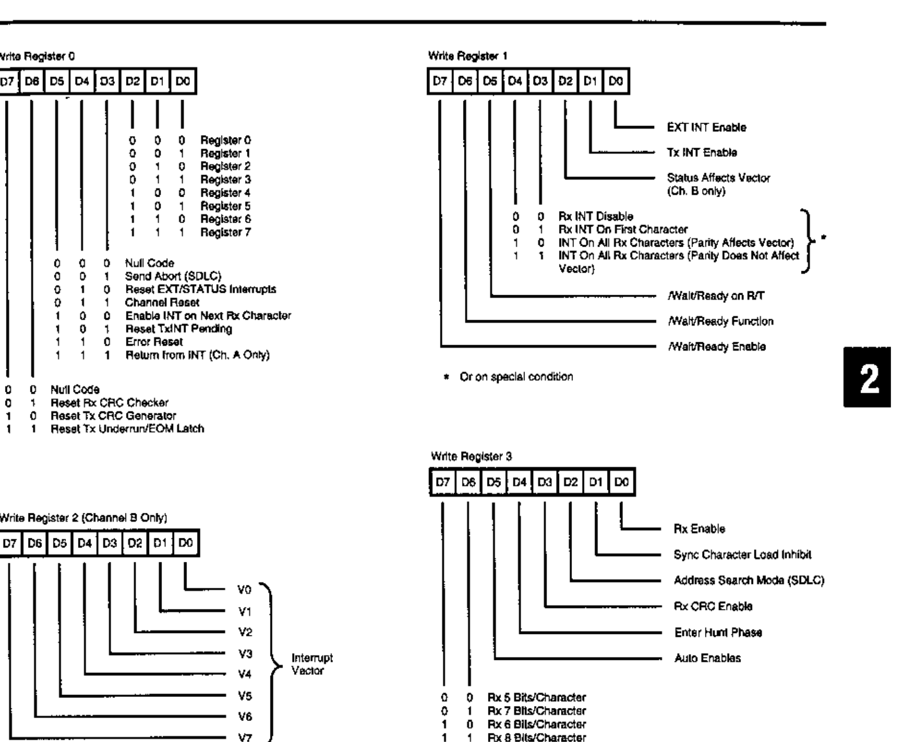


Figure 21. SIO Write Registers

2-91

2

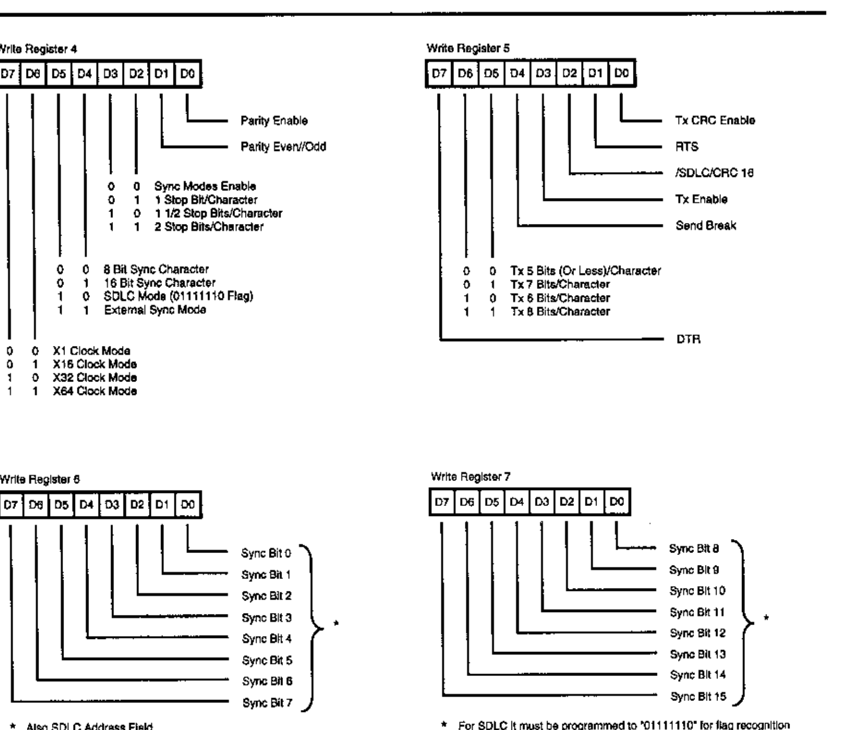


Figure 21. SIO Write Registers (Continued)

WATCH DOG CONTROL REGISTERS

There are two registers to control Watch Dog Timer operations. These are Watch Dog Timer Master Register (WDTMR; I/O Address F0h) and the WDT Command Register (WDTCR; I/O Address F1h). Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error, which may lead to the WDT operation to stop due to program runaway. Programming the WDT follows this procedure. Also, these registers program the power-down mode of operation. The "Second key" is needed when turning off the Watch Dog Timer.

Enabling the WDT. The WDT is enabled by setting the WDT Enable Bit (D7:WDTE) to "1" and the WDT Periodic field (D5,D6:WDTP) to the desired time period. These command bits are in the Watch Dog Timer Master Register (WDTMR; I/O Address F0h).

Disabling the WDT. The WDT is disabled by clearing WDT Enable bit (WDTE) in the WDTMR to "0" followed by writing "B1h" to the WDT Command Register (WDTCR; I/O Address F1h).

2-92

Clearing the WDT. The WDT can be cleared by writing "4Eh" into the WDTCR.

Watch Dog Timer Master Register (WDTMR;I/O address F0h). This register controls the activities of the Watch Dog Timer and selects power-down mode of operation (Figure 22).

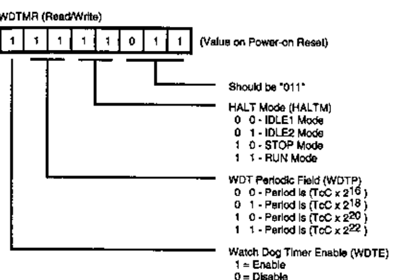


Figure 22. Watch Dog Timer Master Register

Bit D7. *Watch Dog Timer Enable* (WDTE). This bit controls the activities of Watch Dog Timer. The WDT can be enabled by setting this bit to "1". To disable WDT, write "0" to this bit followed by writing "B1h" in the WDT Command Register. Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error, which may lead to the WDT operation to stop, due to program run-away. Upon Power-on reset, this bit is set to "1" and the WDT is enabled.

Bit D6-D5. *WDT Periodic field* (WDTP). This two bit field determines the desired time period. Upon Power-on reset, this field sets to "11".

00 - Period is (TcC * 2^{16})
01 - Period is (TcC * 2^{18})
10 - Period is (TcC * 2^{20})
11 - Period is (TcC * 2^{22})

Bit D4-D3. *HALT mode* (HALTM). This two bit field specifies one of four power-down modes. To change this field, write "DBh" to the WDT command register, followed by a write to this register. For detailed descriptions of this field, please refer to the section "Mode of operations." Upon Power-on Reset, this field is set to 11, which specifies "RUN mode."

00 - IDLE 1 Mode
01 - IDLE 2 Mode
10 - STOP Mode
11 - RUN Mode

Bit D2-D0. *Reserved.* These three bits are reserved and should always be programmed as "011". A read to these bit returns "011".

Watch Dog Timer Command Register (WDTCR; I/O address F1h). In conjunction with the WDTMR, this register works as a "Second key" for the Watch Dog Timer. This register is write only (Figure 23).

Write B1h after clearing WDTE to "0" - Disable WDT.
Write 4Eh - Clear WDT.
Write DBh followed by a write to HALTM - Change Power-down mode.

WDTCR (Write Only)

D7	D6	D5	D4	D3	D2	D1	D0	
1	0	1	1	0	0	0	1	(B1h) - Disable WDT (After Clearing WDTE)
0	1	0	0	1	1	1	0	(4Eh) - Clear WDT
1	1	0	1	1	0	1	1	(DBh) - Change HALT Mode (Followed by setting HALTM)

Figure 23. Watch Dog Timer Command Register

2

INTERRUPT PRIORITY REGISTER
(INTPR; I/O address F4h)

This register (write only) is provided to determine the interrupt priority for the CTC, SIO and the PIO (Figure 24).

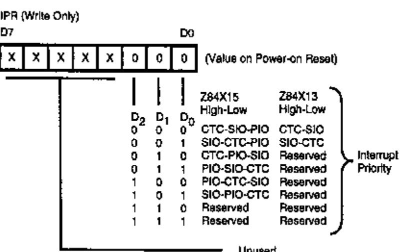


Figure 24. Interrupt Priority Register

Bit D7-D3. Unused

Bit D2-D0. This field specifies the order of the interrupt daisy chain. Upon Power-on Reset, this field is set to "000".

	Z84C15 High - Low	Z84C13 High - Low
000	CTC-SIO-PIO	CTC-SIO
001	SIO-CTC-PIO	SIO-CTC
010	CTC-PIO-SIO	Reserved
011	PIO-SIO-CTC	Reserved
100	PIO-CTC-SIO	Reserved
101	SIO-PIO-CTC	Reserved
110	Reserved	Reserved
111	Reserved	Reserved

REGISTERS FOR SYSTEM CONFIGURATION

(The following registers are not available on Z84013/015.) There are four indirectly accessible registers to determine System configuration with the Z84C13/C15. These indirectly accessible registers are: Wait State Control Register (WCR, Control Register 00h), Memory Wait Boundary Register (MWBR, Control Register 01h), Chip Select Boundary Register (CSBR, Control Register 02h) and Misc. Control Register (MCR, Control Register 03h). To access these registers, Z84C13/C15 writes "register number to be accessed" to the System Control Register Pointer (SCRP, I/O address EEh), and then accesses the target register through the System Control Data Port (SCDP, I/O address EFh). The pointer which writes into SCRP is kept until modified.

System Control Register Pointer (SCRP, I/O address EEh) This register stores the pointer to access System Control Registers (WCR, MWBR, CSBR and MCR). This register is Read/Write and it holds the pointer value until modified. Upon Power-on Reset, all bits are cleared to zero. The pointer value, other than 00h to 03h is reserved and is not written. Upon Power-on Reset, this register is set to "00h" (Figure 25).

SCRP (Read/Write)

D7							D0	(Value on Power-on Reset)
0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	0	(00h) Point to WCR
0	0	0	0	0	0	0	1	(01h) Point to MWBR
0	0	0	0	0	0	1	0	(02h) Point to CSBR
0	0	0	0	0	0	1	1	(03h) Point to MCR

Figure 25. System Control Register Pointer

System Control Data Port (SCDP, I/O address EFh) This register is to access WCR, MWBR, CSBR and MCR (Figure 26).

SCDP (Read/Write)
D7 D0
Read/Write the Register Pointed by SCPR

Figure 26. System Control Data Port

Wait State Control Register (WCR, Control Register 00h) This register can be accessed through SCDP with the pointer value 00h in SCRP (Figure 27). To maintain compatibility with the Z84013/015, the Z84C13/C15 inserts the maximum number of wait states (set all bits of this register to one) for fifteen /M1 cycles after Power-on Reset. It automatically clears the contents of this register (move to no-wait state insertion) on the trailing edge of the 16th /M1 signal unless software has programmed a value. If automatic wait state insertion is needed, the wait state is programmed within this time period. A read to WCR during this period will return FFh, unless programmed.

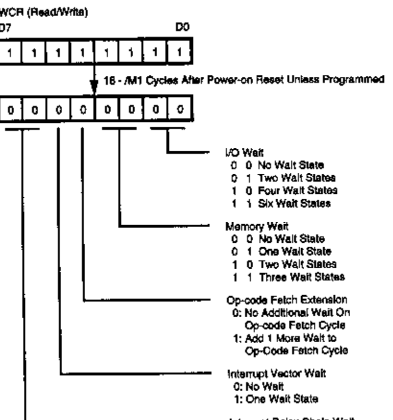


Figure 27. Wait State Control Register

This register has the following fields:

Bit 7-6. *Interrupt Daisy Chain Wait.* This 2-bit field specifies the number of wait states to be inserted during an Interrupt Daisy Chain settle period of the Interrupt Acknowledge cycle, which is/IORQ falls after the settling period from /M1 going active "0". Also, this field controls the number of wait states inserted during the RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, the Wait state generator also inserts wait states during RETI fetch sequence. This sequence is formed with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 1 wait state if op-code followed by EDh is NOT 4Dh, and inserts 2 or 4 wait states, respectively, if the following op-code is 4Dh.

Interrupt Acknowledge	RETI cycle
00 - No Wait states	No Wait states
01 - 2 Wait states	No Wait states
10 - 4 Wait states	2 Wait states
11 - 6 Wait states	4 Wait states

For fifteen /M1 cycles from Power-on Reset, bits 7-6 are set to "11". They clear to "00" on the trailing edge of the 16th /M1 signal unless programmed.

Bit 5. *Interrupt Vector Wait.* While this bit is set to one, the wait state generator inserts one wait state after the /IORQ signal goes active during the Interrupt acknowledge cycle. This gives more time for the vector read cycle. While this bit is cleared to zero, no wait state is inserted (standard timing). For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 4. *Opcode Fetch Extension.* If this bit is set to "1", one additional wait state is inserted during the Op-code fetch cycle in addition to the number of wait states programmed in the Memory Wait field. For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

2

Bit 3-2. *Memory Wait States.* This 2-bit field specifies the number of wait states to be inserted during memory Read/Write transactions.

00 - No Wait states
01 - 1 Wait states
10 - 2 Wait states
11 - 3 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 1-0. *I/O Wait states.* This 2-bit field specifies the number of wait states to be inserted during I/O transactions.

00 - No Wait states
01 - 2 Wait states
10 - 4 Wait states
11 - 6 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the 16th /M1 signal, unless programmed. For the accesses to the on-chip I/O registers, no Wait states are inserted regardless of the programming of this field.

Memory Wait Boundary Register
(MWBR, Control Register 01h)
This register specifies the address range to insert memory wait states. When accessed memory addresses are within this range, the Memory Wait State generator inserts Memory Wait States specified in the Memory Wait field of WCR (Figure 28).

2-95

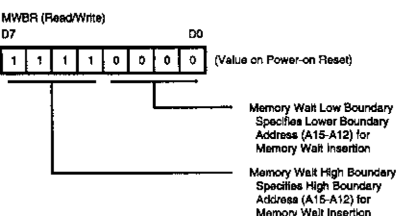


Figure 28. Memory Wait Boundary Register

Bit D7-D4. *Memory Wait High Boundary.* This field specifies A15-A12 of the upper address boundary for Memory Wait.

Bit D3-D0. *Memory Wait Low Boundary.* This field specifies A15-12 of the lower address boundary for Memory Wait.

Memory Wait states are inserted for the address range:

(D7-D4 of MWBR) ≥ A15-A12 ≥ (D3-D0 of MWBR)

This register is set to "F0h" on Power-on Reset, which specifies the address range for Memory Wait as "0000h to FFFFh".

Chip Select Boundary Register
(CSBR, Control Register 02h)
This register specifies the address range for each chip select signal. When accessed memory addresses are within this range, chip select signals are active (Figure 29).

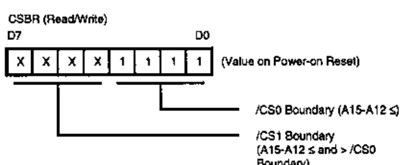


Figure 29. Chip Select Boundary Register

D7-D4. */CS1 Boundary Address.* These bits specify the boundary address range for /CS1. The bit values are ignored on power-up as the /CS1 enable bit is off. The /CS1 is asserted if the address lines A15-12 have an address value greater than the programmed value for /CS0, and less than or equal to the programmed value in these bits.

D3-D0. */CS0 Boundary Address.* These bits specify the boundary address range for /CS0. /CS0 is asserted if the address lines A15-12 have an address value less than or equal to the programmed boundary value. The /CS0 enable bit in the MCR must be set to 1. Upon Power-up reset, these bits come up as all 1's so that /CS0 is asserted for all addresses.

Chip Select signals are active for the address range:

/CS0: (D3-D0 of CSBR) ≥ A15-A12 ≥ 0
/CS1: (D7-D4 of CSBR) ≥ A15-A12 >
(D3-D0 of CSBR)

This register is set to "xxxx1111b" on Power-on Reset, which specifies the address range of /CS0 for "0000h to FFFFh" (all Memory location) and /CS1 "undefined."

Misc Control Register (MCR, Control Register 03h)
This register specifies miscellaneous options on this device (Figure 30).

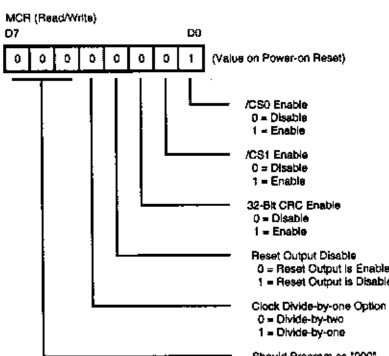


Figure 30. Misc Control Register

Bit D7-D5. *Reserved.* These three bits are reserved and are always programmed as "000".

Bit D4. *Clock Divide-by-one option.* "0"-Disable, "1"-enable. On-chip CGC unit has divide-by-two circuit. By setting this bit to one, this circuit is bypassed and CLKOUT is equal to X'tal oscillator frequency (or external clock input on the XTAL1 pin). This bit has no effect when the on-chip CGC unit is not in use and the external system clock is fed from CLKIN pin. Upon Power-on Reset, this bit is cleared to 0 and the clock is divided by two.

2-96

Bit D3. *Reset Output Disable.* "0"-Reset output is enabled, "1"-Reset output is disabled. This bit controls the /RESET signal and is driven out when reset input is used to take the Z84C13/C15 out of the "Halt" state. The reset pulse is driven out for 16-clock cycles from the falling edge of /RESET input, unless this bit is set. Upon Power-on reset, this bit is cleared to 0.

Bit D2. *32-Bit CRC enable.* "0"-Normal mode (16-bit CRC) "1"-32-bit CRC generation/Checking is enabled on SIO Channel A. This bit determines if the 32-bit CRC feature is enabled on Channel A of the SIO. If this bit is 0, the SIO is in a normal mode of operation. If this bit is set to 1, a normal CRC generator/checker is replaced with a 32-bit CRC generator/checker. Upon Power-on Reset, this bit is clear to "0".

Bit D1. */CS1 Enable. "0"-Disable, "1"-Enable.* This bit enables /CS1 output. While this bit is "0", /CS1 is forced to "1". While this bit is "1", /CS1 carries the address range specified in the CSBR. Upon Power-on Reset, this bit is cleared to "0".

Bit D0. */CS0 Enable. "0"-Disable, "1"-Enable.* This bit enables /CS0 output. While this bit is "0", /CS1 pin is forced to "1". While this bit is "1", the /CS0 carries address range specified in the CSBR. Upon Power-on Reset, this bit is set to "1".

Operation modes
There are four kinds of operation modes available for the IPC in connection with clock generation; RUN Mode, IDLE1/2 Modes and STOP Mode.

The Operation mode is effective when the HALT instruction is executed. Restart of the MPU from the stopped state under IDLE1/2 Mode or STOP mode is affected by inputting either /RESET or interrupt (/NMI or /INT). The mode selection of these power-down modes is made by programming the HALTM field (Bit D4-3) of WDTMR.

Setting Halt Mode
Duplicate control is provided to prevent the stopping of the WDT operation caused by the halt mode setting an error due to program runaway. As described in the programming section, changing the Halt Mode field of WDTMR is in two steps. First, write "DBh" to WDTCR followed by a write to the WDTMR with the value in HALTM. Table 2 has descriptions of each mode, and Table 3 has device status in the Halt state.

2

Table 2. Power-down Modes
(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Operation Mode	WDTMR Bit D4	Bit D3	Description at HALT State
RUN Mode	1	1	The IPC continues the operation and continuously supplies a clock to the outside.
IDLE1 Mode	0	0	The internal oscillator's operation is continued. Clock output (CLKOUT) as well as internal clock to the CPU, PIO, SIO, CTC and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
IDLE2 Mode	0	1	The internal oscillator and the CTC's operation continues and supplies clock to the outside on the CLKOUT pin continuously. But the internal clock to the CPU, PIO, SIO and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
STOP Mode	1	0	All operations of the internal oscillator, clock (CLK) output, internal clock to the CPU, PIO, CTC, SIO and the Watch Dog Timer are stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.

2-97

Table 3. Device status in Halt state
(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Mode	CGC	CPU	CTC	PIO	SIO	WDT	CLKOUT
IDLE1	O	X	X	X	X	X	X
IDLE2	O	X	O	X	X	X	O
STOP	X	X	X	X	X	X	X
RUN	O	O	O	O	O	O	O

O: Operating
X: Stop

All of the operating modes listed here are valid with crystal input (Crystal connected between XTAL1/2 or external clock input on XTAL1). For the external clock on the CLKIN pin, only the IDLE2 and RUN modes are applicable.

TIMING

Basic Timing
The basic timing is explained here with emphasis placed on the halt function relative to the clock generator. The following items are identical to those for the Z84C00. Refer to the data sheet for the Z84C00.

- Operation code fetch cycle
- Memory Read/Write operation
- Input/Output operation
- Bus request/acknowledge operation
- Maskable interrupt request operation
- Non-Maskable interrupt request operation
- Reset Operation

Operation When HALT Instruction is Executed. When the CPU fetches a halt instruction in the operation code fetch cycle, /HALT goes active (Low) in synch with the falling edge of T4 state before the peripheral LSI and CPU stops the operation. After this, the system clock generation differs depending upon the operation mode (RUN Mode, IDLE1/2 Mode or STOP Mode). If the internal system clock is running, the CPU continues to execute NOP instruction even in the halt state.

RUN Mode (HALTM = 11). Shown in Figure 31 is the basic timing when the halt instruction is executed in RUN Mode.

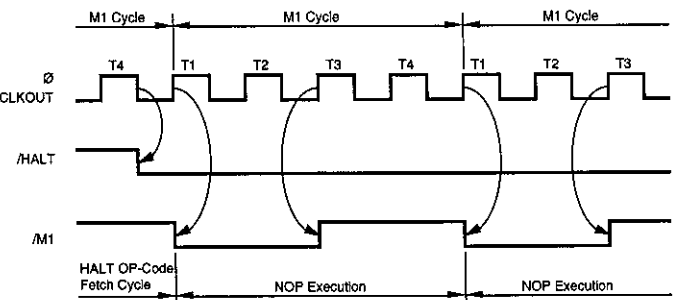
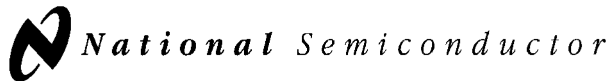


Figure 31. Timing of RUN Mode
(at Halt Instruction Command Execution)

2-98



A/D CONVERTER LM 12H458



July 1999

LM12454/LM12458/LM12H458 12-Bit + Sign Data Acquisition System with Self-Calibration

General Description

The LM12454, LM12458, and LM12H458 are highly integrated Data Acquisition Systems. Operating on just 5V, they combine a fully-differential self-calibrating (correcting linearity and zero errors) 13-bit (12-bit + sign) analog-to-digital converter (ADC) and sample-and-hold (S/H) with extensive analog functions and digital functionality. Up to 32 consecutive conversions, using two's complement format, can be stored in an internal 32-word (16-bit wide) FIFO data buffer. An internal 8-word RAM can store the conversion sequence for up to eight acquisitions through the LM12(H)458's eight-input multiplexer. The LM12454 has a four-channel multiplexer, a differential multiplexer output, and a differential S/H input. The LM12454 and LM12(H)458 can also operate with 8-bit + sign resolution and in a supervisory "watchdog" mode that compares an input signal against two programmable limits.

Programmable acquisition times and conversion rates are possible through the use of internal clock-driven timers. The reference voltage input can be externally generated for absolute or ratiometric operation or can be derived using the internal 2.5V bandgap reference.

All registers, RAM, and FIFO are directly addressable through the high speed microprocessor interface to either an 8-bit or 16-bit databus. The LM12454 and LM12(H)458 include a direct memory access (DMA) interface for high-speed conversion data transfer.

An evaluation/interface board is available. Order number LM12458EVAL.

Additional applications information can be found in applications notes AN-906, AN-947 and AN-949.

Key Specifications

(f_{CLK} = 5 MHz; 8 MHz, H)

■ Resolution	12-bit + sign or 8-bit + sign
■ 13-bit conversion time	8.8 µs, 5.5 µs (H) (max)
■ 9-bit conversion time	4.2 µs, 2.6 µs (H) (max)
■ 13-bit Through-put rate	88k samples/s (min), 140k samples/s (H) (min)
■ Comparison time ("watchdog" mode)	2.2 µs (max), 1.4 µs (H) (max)
■ ILE	±1 LSB (max)
■ V_{IN} range	GND to V_A^+
■ Power dissipation	30 mW, 34 mW (H) (max)
■ Stand-by mode	50 µW (typ)
■ Single supply	3V to 5.5V

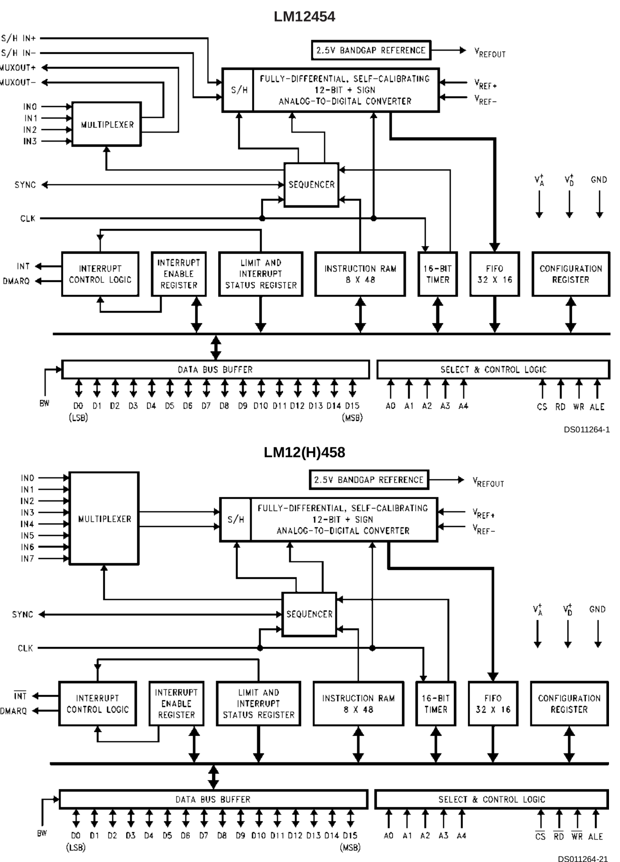
Features

- Three operating modes: 12-bit + sign, 8-bit + sign, and "watchdog"
- Single-ended or differential inputs
- Built-in Sample-and-Hold and 2.5V bandgap reference
- Instruction RAM and event sequencer
- 8-channel (LM12(H)458), 4-channel (LM12454) multiplexer
- 32-word conversion FIFO
- Programmable acquisition times and conversion rates
- Self-calibration and diagnostic mode
- 8- or 16-bit wide databus dmicroprocessor or DSP interface

Applications

- Data Logging
- Instrumentation
- Process Control
- Energy Management
- Inertial Guidance

Functional Diagrams



Application Information

1.0 Functional Description

The LM12454 and LM12(H)458 are multi-functional Data Acquisition Systems that include a fully differential 12-bit-plus-sign self-calibrating analog-to-digital converter (ADC) with a two's-complement output format, an 8-channel (LM12(H)458) or a 4-channel (LM12454) analog multiplexer, an internal 2.5V reference, a first-in-first-out (FIFO) register that can store 32 conversion results, and an Instruction RAM that can store as many as eight instructions to be sequentially executed. The LM12454 also has a differential multiplexer output and a differential S/H input. All of this circuitry operates on only a single +5V power supply.

The LM12(H)454/8 have three modes of operation:

12-bit + sign with correction

8-bit + sign without correction

8-bit + sign comparison mode ("watchdog" mode)

The fully differential 12-bit-plus-sign ADC uses a charge redistribution topology that includes calibration capabilities. Charge re-distribution ADCs use a capacitor ladder in place of a resistor ladder to form an internal DAC. The DAC is used by a successive approximation register to generate intermediate voltages between the voltages applied to V_{REF-} and V_{REF+}. These intermediate voltages are compared against the sampled analog input voltage as each bit is generated. The number of intermediate voltages and comparisons equals the ADC's resolution. The correction of each bit's accuracy is accomplished by calibrating the capacitor ladder used in the ADC.

Two different calibration modes are available; one compensates for offset voltage, or zero error, while the other corrects both offset error and the ADC's linearity error.

When correcting offset only, the offset error is measured once and a correction coefficient is created. During the full calibration, the offset error is measured eight times, averaged, and a correction coefficient is created. After completion of either calibration mode, the offset correction coefficient is stored in an internal offset correction register.

The LM12(H)454/8's overall linearity correction is achieved by correcting the internal DAC's capacitor mismatch. Each capacitor is compared eight times against all remaining smaller value capacitors and any errors are averaged. A correction coefficient is then created and stored in one of the thirteen internal linearity correction registers. An internal state machine, using patterns stored in an internal 16 x 8-bit ROM, executes each calibration algorithm.

Once calibrated, an internal arithmetic logic unit (ALU) uses the offset correction coefficient and the 13 linearity correction coefficients to reduce the conversion's offset error and linearity error, in the background, during the 12-bit + sign conversion. The 8-bit + sign conversion and comparison modes use only the offset coefficient. The 8-bit + sign mode performs a conversion in less than half the time used by the 12-bit + sign conversion mode.

The LM12(H)454/8's "watchdog" mode is used to monitor a single-ended or differential signal's amplitude. Each sampled signal has two limits. An interrupt can be generated if the input signal is above or below either of the two limits. This allows interrupts to be generated when analog voltage inputs are "inside the window" or, alternatively, "outside the window". After a "watchdog" mode interrupt, the processor can then request a conversion on the input signal and read the signal's magnitude.

The analog input multiplexer can be configured for any combination of single-ended or fully differential operation. Each input is referenced to ground when a multiplexer channel operates in the single-ended mode. Fully differential analog input channels are formed by pairing any two channels together.

The LM12454's multiplexer outputs and S/H inputs (MUXOUT+, MUXOUT− and S/H IN+, S/H IN−) provide the option for additional analog signal processing. Fixed-gain amplifiers, programmable-gain amplifiers, filters, and other processing circuits can operate on the signal applied to the selected multiplexer channel(s). If external processing is not used, connect MUXOUT+ to S/H IN+ and MUXOUT− to S/H IN−.

The LM12(H)454/8's internal S/H is designed to operate at its minimum acquisition time (1.13 µs, 12 bits) when the source impedance, R_S, is ≤ 60Ω (f_{CLK} ≤ 8 MHz). When 60Ω < R_S ≤ 4.17 kΩ, the internal S/H's acquisition time can be increased to a maximum of 4.88 µs (12 bits, f_{CLK} = 8 MHz). See Section 2.1 (Instruction RAM "00") Bits 12–15 for more information.

An internal 2.5V bandgap reference output is available at pin 44. This voltage can be used as the ADC reference for ratiometric conversion or as a virtual ground for front-end analog conditioning circuits. The V_{REFOUT} pin should be bypassed to ground with a 100 µF capacitor.

Microprocessor overhead is reduced through the use of the internal conversion FIFO. Thirty-two consecutive conversions can be completed and stored in the FIFO without any microprocessor intervention. The microprocessor can, at any time, interrogate the FIFO and retrieve its contents. It can also wait for the LM12(H)454/8 to issue an interrupt when the FIFO is full or after any number (≤32) of conversions have been stored.

Conversion sequencing, internal timer interval, multiplexer configuration, and many other operations are programmed and set in the Instruction RAM.

A diagnostic mode is available that allows verification of the LM12(H)458's operation. The diagnostic mode is disabled in the LM12454. This mode internally connects the voltages present at the V_{REFOUT}, V_{REF+}, V_{REF-}, and GND pins to the internal V_{IN+} and V_{IN-} S/H inputs. This mode is activated by setting the Diagnostic bit (Bit 11) in the Configuration register to a "1". More information concerning this mode of operation can be found in Section 2.2.

2.0 Internal User-Programmable Registers

INSTRUCTION RAM

The instruction RAM holds up to eight sequentially executable instructions. Each 48-bit long instruction is divided into three 16-bit sections. READ and WRITE operations can be issued to each 16-bit section using the instruction's address and the 2-bit "RAM pointer" in the Configuration register. The eight instructions are located at addresses 0000 through 0111 (A4–A1, BW = 0) when using a 16-bit wide data bus or at addresses 00000 through 01111 (A4–A0, BW = 1) when using an 8-bit wide data bus. They can be accessed and programmed in random order.

2.0 Internal User-Programmable Registers (Continued)

Any Instruction RAM READ or WRITE can affect the sequencer's operation:

The Sequencer should be stopped by setting the RESET bit to a "1" or by resetting the START bit in the Configuration Register and waiting for the current instruction to finish execution before any Instruction RAM READ or WRITE is initiated.

A soft RESET should be issued by writing a "1" to the Configuration Register's RESET bit after any READ or WRITE to the Instruction RAM.

The three sections in the Instruction RAM are selected by the Configuration Register's 2-bit "RAM Pointer", bits D8 and D9. The first 16-bit Instruction RAM section is selected with the RAM Pointer equal to "00". This section provides multiplexer channel selection, as well as resolution, acquisition time, etc. The second 16-bit section holds "watchdog" limit #1, its sign, and an indicator that shows that an interrupt can be generated if the input signal is greater or less than the programmed limit. The third 16-bit section holds "watchdog" limit #2, its sign, and an indicator that shows that an interrupt can be generated if the input signal is greater or less than the programmed limit.

Instruction RAM "00"

Bit 0 is the LOOP bit. It indicates the last instruction to be executed in any instruction sequence when it is set to a "1". The next instruction to be executed will be instruction 0.

Bit 1 is the PAUSE bit. This controls the Sequencer's operation. When the PAUSE bit is set ("1"), the Sequencer will stop after reading the current instruction and before executing it, and the start bit in the Configuration register is automatically reset to a "0". Setting the PAUSE also causes an interrupt to be issued. The Sequencer is restarted by placing a "1" in the Configuration register's Bit 0 (Start bit).

After the Instruction RAM has been programmed and the RESET bit is set to "1", the Sequencer retrieves Instruction 000, decodes it, and waits for a "1" to be placed in the Configuration's START bit. The START bit value of "0" "overrides" the action of Instruction 000's PAUSE bit when the Sequencer is started. Once started, the Sequencer executes Instruction 000 and retrieves, decodes, and executes each of the remaining instructions. No PAUSE Interrupt (INT 5) is generated the first time the Sequencer executes Instruction 000 having a PAUSE bit set to "1". When the Sequencer encounters a LOOP bit or completes all eight instructions, Instruction 000 is retrieved and decoded. A set PAUSE bit in Instruction 000 now halts the Sequencer before the instruction is executed.

Bits 2–4 select which of the eight input channels ("000" to "111" for IN0–IN7) will be configured as non-inverting inputs to the LM12(H)458's ADC. (See Page 27, *Table 1.*) They select which of the four input channels ("000" to "011" for IN0–IN4) will be configured as non-inverting inputs to the LM12454's ADC. (See Page 27, *Table 2.*)

Bits 5–7 select which of the seven input channels ("001" to "111" for IN1 to IN7) will be configured as inverting inputs to the LM12(H)458's ADC. (See Page 27, *Table 1.*) They select which of the three input channels ("001" to "011" for IN1–IN4) will be configured as inverting inputs to the LM12454's ADC. (See Page 27, *Table 2.*) Fully differential operation is created by selecting two multiplexer channels, one operating in the non-inverting mode and the other operating in the inverting mode. A code of "000" selects ground as the inverting input for single ended operation.

Bit 8 is the SYNC bit. Setting Bit 8 to "1" causes the Sequencer to suspend operation at the end of the internal S/H's acquisition cycle and to wait until a rising edge appears at the SYNC pin. When a rising edge appears, the S/H acquires the input signal magnitude and the ADC performs a conversion on the clock's next rising edge. When the SYNC pin is used as an input, the Configuration register's "I/O Select" bit (Bit 7) must be set to a "0". With SYNC configured as an input, it is possible to synchronize the start of a conversion to an external event. This is useful in applications such as digital signal processing (DSP) where the exact timing of conversions is important.

When the LM12(H)454/8 are used in the "watchdog" mode with external synchronization, two rising edges on the SYNC input are required to initiate two comparisons. The first rising edge initiates the comparison of the selected analog input signal with Limit #1 (found in Instruction RAM "01") and the second rising edge initiates the comparison of the same analog input signal with Limit #2 (found in Instruction RAM "10").

Bit 9 is the TIMER bit. When Bit 9 is set to "1", the Sequencer will halt until the internal 16-bit Timer counts down to zero. During this time interval, no "watchdog" comparisons or analog-to-digital conversions will be performed.

Bit 10 selects the ADC conversion resolution. Setting Bit 10 to "1" selects 8-bit + sign and when reset to "0" selects 12-bit + sign.

Bit 11 is the "watchdog" comparison mode enable bit. When operating in the "watchdog" comparison mode, the selected analog input signal is compared with the programmable values stored in Limit #1 and Limit #2 (see Instruction RAM "01" and Instruction RAM "10"). Setting Bit 11 to "1" causes two comparisons of the selected analog input signal with the two stored limits. When Bit 11 is reset to "0", an 8-bit + sign or 12-bit + sign (depending on the state of Bit 10 of Instruction RAM "00") conversion of the input signal can take place.

2.0 Internal User-Programmable Registers (Continued)

A4 A3A2A1	Purpose	Type	D15 D14 D13 D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0 000 to 111	Instruction RAM (RAM Pointer = 00)	R/W	Acquisition Time	Watch-dog	$8/\overline{12}$	Timer	Sync	V_{IN-} (MUXOUT−) (Note 20)			V_{IN+} (MUXOUT+) (Note 20)			Pause	Loop
0 000 to 111	Instruction RAM (RAM Pointer = 01)	R/W	Don't Care			>/≤	Sign	Limit #1							
0 000 to 111	Instruction RAM (RAM Pointer = 10)	R/W	Don't Care			>/≤	Sign	Limit #2							
1 000	Configuration Register	R/W	Don't Care	DIAG (Note 21)	Test = 0	RAM Pointer		I/O Sel	Auto Zero$_{ec}$	Chan Mask	Stand-by	Full CAL	Auto-Zero	Reset	Start
1 001	Interrupt Enable Register	R/W	Number of Conversions in Conversion FIFO to Generate INT2		Sequencer Address to Generate INT1			INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0
1 010	Interrupt Status Register	R	Actual Number of Conversion Results in Conversion FIFO		Address of Sequencer Instruction being Executed			INST7	INST6	INST5	INST4	INST3	INST2	INST1	INST0
1 011	Timer Register	R/W	Timer Preset High Byte					Timer Preset Low Byte							
1 100	Conversion FIFO	R	Address or Sign / Sign	Conversion Data: MSBs				Conversion Data: LSBs							
1 101	Limit Status Register	R	Limit #2: Status					Limit #1: Status							

Note 20: LM12454 (Refer to *Table 2*).

Note 21: LM12(H)458 only. Must be set to "0" for the LM12454.

FIGURE 13. LM12(H)454/8 Memory Map for 16-Bit Wide Databus (BW = "0", Test Bit = "0" and A0 = Don't Care)

2.0 Internal User-Programmable Registers (Continued)

A4	A3	A2	A1	A0	Purpose	Type	D7	D6	D5	D4	D3	D2	D1	D0
0	0 to 1	0 to 1	0 to 1	0	Instruction RAM (RAM Pointer = 00)	R/W	V_{IN-} (MUXOUT−) (Note 22)			V_{IN+} (MUXOUT+) (Note 22)			Pause	Loop
0	0 to 1	0 to 1	0 to 1	1		R/W	Acquisition Time				Watch-dog	8/12	Timer	Sync
0	0 to 1	0 to 1	0 to 1	0	Instruction RAM (RAM Pointer = 01)	R/W	Comparison Limit #1							
0	0 to 1	0 to 1	0 to 1	1		R/W	Don't Care						>/<	Sign
0	0 to 1	0 to 1	0 to 1	0	Instruction RAM (RAM Pointer = 10)	R/W	Comparison Limit #2							
0	0 to 1	0 to 1	0 to 1	1		R/W	Don't Care						>/<	Sign
1	0	0	0	0	Configuration Register	R/W	I/O Sel	Auto $Zero_{ec}$	Chan Mask	Stand-by	Full Cal	Auto-Zero	Reset	Start
1	0	0	0	1		R/W	Don't Care				DIAG (Note 23)	Test = 0	RAM Pointer	
1	0	0	1	0	Interrupt Enable Register	R/W	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0
1	0	0	1	1		R/W	Number of Conversions in Conversion FIFO to Generate INT2					Sequencer Address to Generate INT1		
1	0	1	0	0	Interrupt Status Register	R	INST7	INST6	INST5	INST4	INST3	INST2	INST1	INST0
1	0	1	0	1		R	Actual Number of Conversions Results in Conversion FIFO					Address of Sequencer Instruction being Executed		
1	0	1	1	0	Timer Register	R/W	Timer Preset: Low Byte							
1	0	1	1	1		R/W	Timer Preset: High Byte							
1	1	0	0	0	Conversion FIFO	R	Conversion Data: LSBs							
1	1	0	0	1		R	Address or Sign			Sign	Conversion Data: MSBs			
1	1	0	1	0	Limit Status Register	R	Limit #1 Status							
1	1	0	1	1		R	Limit #2 Status							

FIGURE 14. LM12(H)454/8 Memory Map for 8-Bit Wide Databus (BW = "1" and Test Bit = "0")

Note 22: LM12454 (Refer to *Table 2*).

Note 23: LM12(H)458 only. Must be set to "0" for the LM12454.

2.0 Internal User-Programmable Registers (Continued)

Bits 12–15 are used to store the user-programmable acquisition time. The Sequencer keeps the internal S/H in the acquisition mode for a fixed number of clock cycles (nine clock cycles, for 12-bit + sign conversions and two clock cycles for 8-bit + sign conversions or "watchdog" comparisons) plus a variable number of clock cycles equal to twice the value stored in Bits 12–15. Thus, the S/H's acquisition time is (9 + 2D) clock cycles for 12-bit + sign conversions and (2 + 2D) clock cycles for 8-bit + sign conversions or "watchdog" comparisons, where D is the value stored in Bits 12–15. The minimum acquisition time compensates for the typical internal multiplexer series resistance of 2 kΩ, and any additional delay created by Bits 12–15 compensates for source resistances greater than 60Ω (100Ω). (For this acquisition time discussion, numbers in ( ) are shown for the LM12(H)454/8 operating at 5 MHz.) The necessary acquisition time is determined by the source impedance at the multiplexer input. If the source resistance (R_S) < 60Ω (100Ω) and the clock frequency is 8 MHz, the value stored in bits 12–15 (D) can be 0000. If R_S > 60Ω (100Ω), the following equations determine the value that should be stored in bits 12–15.

$$D = 0.45 \times R_S \times f_{CLK}$$

for 12-bits + sign

$$D = 0.36 \times R_S \times f_{CLK}$$

for 8-bits + sign and "watchdog"

R_S is in kΩ and f_{CLK} is in MHz. Round the result to the next higher integer value. If D is greater than 15, it is advisable to lower the source impedance by using an analog buffer between the signal source and the LM12(H)458's multiplexer inputs. The value of D can also be used to compensate for the settling or response time of external processing circuits connected between the LM12454's MUXOUT and S/H IN pins.

Instruction RAM "01"

The second Instruction RAM section is selected by placing a "01" in Bits 8 and 9 of the Configuration register.

Bits 0–7 hold "watchdog" **limit #1**. When Bit 11 of Instruction RAM "00" is set to a "1", the LM12(H)454/8 performs a "watchdog" comparison of the sampled analog input signal with the limit #1 value first, followed by a comparison of the same sampled analog input signal with the value found in limit #2 (Instruction RAM "10").

Bit 8 holds limit #1's sign.

Bit 9's state determines the limit condition that generates a "watchdog" interrupt. A "1" causes a voltage greater than limit #1 to generate an interrupt, while a "0" causes a voltage less than limit #1 to generate an interrupt.

Bits 10–15 are not used.

Instruction RAM "10"

The third Instruction RAM section is selected by placing a "10" in Bits 8 and 9 of the Configuration register.

Bits 0–7 hold "watchdog" **limit #2**. When Bit 11 of Instruction RAM "00" is set to a "1", the LM12(H)454/8 performs a "watchdog" comparison of the sampled analog input signal with the limit #1 value first (Instruction RAM "01"), followed by a comparison of the same sampled analog input signal with the value found in limit #2.

Bit 8 holds limit #2's sign.

Bit 9 's state determines the limit condition that generates a "watchdog" interrupt. A "1" causes a voltage greater than limit #2 to generate an interrupt, while a "0" causes a voltage less than limit #2 to generate an interrupt.

Bits 10–15 are not used.

2.2 CONFIGURATION REGISTER

The Configuration register, 1000 (A4–A1, BW = 0) or 1000x (A4–A0, BW = 1) is a 16-bit control register with read/write capability. It acts as the LM12454's and LM12(H)458's "control panel" holding global information as well as start/stop, reset, self-calibration, and stand-by commands.

Bit 0 is the START/STOP bit. Reading Bit 0 returns an indication of the Sequencer's status. A "0" indicates that the Sequencer is stopped and waiting to execute the next instruction. A "1" shows that the Sequencer is running. Writing a "0" halts the Sequencer when the current instruction has finished execution. The next instruction to be executed is pointed to by the instruction pointer found in the status register. A "1" restarts the Sequencer with the instruction currently pointed to by the instruction pointer. (See Bits 8–10 in the Interrupt Status register.)

Bit 1 is the LM12(H)454/8's system RESET bit. Writing a "1" to Bit 1 stops the Sequencer (resetting the Configuration register's START/STOP bit), resets the Instruction pointer to "000" (found in the Interrupt Status register), clears the Conversion FIFO, and resets all interrupt flags. The RESET bit will return to "0" after two clock cycles unless it is forced high by writing a "1" into the Configuration register's Standby bit. A reset signal is internally generated when power is first applied to the part. No operation should be started until the RESET bit is "0".

Writing a "1" to **Bit 2** initiates an auto-zero offset voltage calibration. Unlike the eight-sample auto-zero calibration performed during the full calibration procedure, Bit 2 initiates a "short" auto-zero by sampling the offset once and creating a correction coefficient (full calibration averages eight samples of the converter offset voltage when creating a correction coefficient). If the Sequencer is running when Bit 2 is set to "1", an auto-zero starts immediately after the conclusion of the currently running instruction. Bit 2 is reset automatically to a "0" and an interrupt flag (Bit 3, in the Interrupt Status register) is set at the end of the auto-zero (76 clock cycles). After completion of an auto-zero calibration, the Sequencer fetches the next instruction as pointed to by the Instruction RAM's pointer and resumes execution. If the Sequencer is stopped, an auto-zero is performed immediately at the time requested.

Writing a "1" to **Bit 3** initiates a complete calibration process that includes a "long" auto-zero offset voltage correction (this calibration averages eight samples of the comparator offset voltage when creating a correction coefficient) followed by an ADC linearity calibration. This complete calibration is started after the currently running instruction is completed if the Sequencer is running when Bit 3 is set to "1". Bit 3 is reset automatically to a "0" and an interrupt flag (Bit 4, in the Interrupt Status register) will be generated at the end of the calibration procedure (4944 clock cycles). After completion of a full auto-zero and linearity calibration, the Sequencer fetches the next instruction as pointed to by the Instruction RAM's pointer and resumes execution. If the Sequencer is stopped, a full calibration is performed immediately at the time requested.

Bit 4 is the Standby bit. Writing a "1" to Bit 4 immediately places the LM12(H)454/8 in Standby mode. Normal operation returns when Bit 4 is reset to a "0". The Standby com-

2.0 Internal User-Programmable Registers (Continued)

mand (“1”) disconnects the external clock from the internal circuitry, decreases the LM12(H)454/8’s internal analog circuitry power supply current, and preserves all internal RAM contents. After writing a “0” to the Standby bit, the LM12(H)454/8 returns to an operating state identical to that caused by exercising the RESET bit. A Standby completion interrupt is issued after a power-up completion delay that allows the analog circuitry to settle. The Sequencer should be restarted only after the Standby completion is issued. The Instruction RAM can still be accessed through read and write operations while the LM12(H)454/8 are in Standby Mode.

Bit 5 is the Channel Address Mask. If Bit 5 is set to a “1”, Bits 13–15 in the conversion FIFO will be equal to the sign bit (Bit 12) of the conversion data. Resetting Bit 5 to a “0” causes conversion data Bits 13 through 15 to hold the instruction pointer value of the instruction to which the conversion data belongs.

Bit 6 is used to select a “short” auto-zero correction for every conversion. The Sequencer automatically inserts an auto-zero before every conversion or “watchdog” comparison if Bit 6 is set to “1”. No automatic correction will be performed if Bit 6 is reset to “0”.

The LM12(H)454/8’s offset voltage, after calibration, has a typical drift of 0.1 LSB over a temperature range of −40˚C to +85˚C. This small drift is less than the variability of the change in offset that can occur when using the auto-zero correction with each conversion. This variability is the result of using only one sample of the offset voltage to create a correction value. This variability decreases when using the full calibration mode because eight samples of the offset voltage are taken, averaged, and used to create a correction value.

Bit 7 is used to program the SYNC pin (29) to operate as either an input or an output. The SYNC pin becomes an output when Bit 7 is a “1” and an input when Bit 7 is a “0”. With SYNC programmed as an input, the rising edge of any logic signal applied to pin 29 will start a conversion or “watchdog” comparison. Programmed as an output, the logic level at pin 29 will go high at the start of a conversion or “watchdog” comparison and remain high until either have finished. See Instruction RAM “00”, Bit 8.

Bits 8 and **9** form the RAM Pointer that is used to select each of a 48-bit instruction’s three 16-bit sections during read or write actions. A “00” selects Instruction RAM section one, “01” selects section two, and “10” selects section three.

Bit 10 activates the Test mode that is used only during production testing. Leave this bit reset to “0”.

Bit 11 is the Diagnostic bit and is available only in the LM12(H)458. It can be activated by setting it to a “1” (the Test bit must be reset to a “0”). The Diagnostic mode, along with a correctly chosen instruction, allows verification that the LM12(H)458’s ADC is performing correctly. When activated, the inverting and non-inverting inputs are connected as shown in Table I. As an example, an instruction with “001” for both V_{IN+} and V_{IN-} while using the Diagnostic mode typically results in a full-scale output.

2.3 INTERRUPTS

The LM12454 and LM12(H)458 have eight possible interrupts, all with the same priority. Any of these interrupts will cause a hardware interrupt to appear on the $\overline{INT}$ pin (31) if they are not masked (by the Interrupt Enable register). The Interrupt Status register is then read to determine which of the eight interrupts has been issued.

TABLE 1. LM12(H)458 Input Multiplexer Channel Configuration Showing Normal Mode and Diagnostic Mode

Channel Selection Data	Normal Mode		Diagnostic Mode	
	V_{IN+}	V_{IN-}	V_{IN+}	V_{IN-}
000	IN0	GND	V_{REFOUT}	GND
001	IN1	IN1	V_{REF+}	V_{REF-}
010	IN2	IN2	IN2	IN2
011	IN3	IN3	IN3	IN3
100	IN4	IN4	IN4	IN4
101	IN5	IN5	IN5	IN5
110	IN6	IN6	IN6	IN6
111	IN7	IN7	IN7	IN7

TABLE 2. LM12454 Input Multiplexer Channel Configuration

Channel Selection Data	MUX+	MUX−
000	IN0	GND
001	IN1	IN1
010	IN2	IN2
011	IN3	IN3
1XX	OPEN	OPEN

The Interrupt Status register, 1010 (A4–A1, BW = 0) or 1010x (A4–A0, BW = 1) must be cleared by reading it after writing to the Interrupt Enable register. This removes any spurious interrupts on the $\overline{INT}$ pin generated during an Interrupt Enable register access.

Interrupt 0 is generated whenever the analog input voltage on a selected multiplexer channel crosses a limit while the LM12(H)454/8 are operating in the “watchdog” comparison mode. Two sequential comparisons are made when the LM12(H)454/8 are executing a “watchdog” instruction. Depending on the logic state of Bit 9 in the Instruction RAM’s second and third sections, an interrupt will be generated either when the input signal’s magnitude is greater than or less than the programmable limits. (See the Instruction RAM, Bit 9 description.) The Limit Status register will indicate which preprogrammed limit, #1 or #2 and which instruction was executing when the limit was crossed.

Interrupt 1 is generated when the Sequencer reaches the instruction counter value specified in the Interrupt Enable register’s bits 8–10. This flag appears before the instruction’s execution.

Interrupt 2 is activated when the Conversion FIFO holds a number of conversions equal to the programmable value stored in the Interrupt Enable register’s Bits 11–15. This value ranges from 0001 to 1111, representing 1 to 31 conversions stored in the FIFO. A user-programmed value of 0000 has no meaning. See Section 3.0 for more FIFO information.

The completion of the short, single-sampled auto-zero calibration generates **Interrupt 3**.

2.0 Internal User-Programmable Registers (Continued)

The completion of a full auto-zero and linearity self-calibration generates **Interrupt 4**.

Interrupt 5 is generated when the Sequencer encounters an instruction that has its Pause bit (Bit 1 in Instruction RAM “00”) set to “1”.

The LM12(H)454/8 issues **Interrupt 6** whenever it senses that its power supply voltage is dropping below 4V (typ). This interrupt indicates the potential corruption of data returned by the LM12(H)454/8.

Interrupt 7 is issued after a short delay (10 ms typ) while the LM12(H)454/8 returns from Standby mode to active operation using the Configuration register’s Bit 4. This short delay allows the internal analog circuitry to settle sufficiently, ensuring accurate conversion results.

2.4 INTERRUPT ENABLE REGISTER

The Interrupt Enable register at address location 1001 (A4–A1, BW = 0) or 1001x (A4–A0, BW = 1) has READ/WRITE capability. An individual interrupt’s ability to produce an external interrupt at pin 31 ($\overline{INT}$) is accomplished by placing a “1” in the appropriate bit location. Any of the internal interrupt-producing operations will set their corresponding bits to “1” in the Interrupt Status register regardless of the state of the associated bit in the Interrupt Enable register. See Section 2.3 for more information about each of the eight internal interrupts.

Bit 0 enables an external interrupt when an internal “watchdog” comparison limit interrupt has taken place.

Bit 1 enables an external interrupt when the Sequencer has reached the address stored in Bits 8–10 of the Interrupt Enable register.

Bit 2 enables an external interrupt when the Conversion FIFO’s limit, stored in Bits 11–15 of the Interrupt Enable register, has been reached.

Bit 3 enables an external interrupt when the single-sampled auto-zero calibration has been completed.

Bit 4 enables an external interrupt when a full auto-zero and linearity self-calibration has been completed.

Bit 5 enables an external interrupt when an internal Pause interrupt has been generated.

Bit 6 enables an external interrupt when a low power supply condition (V_A+ < 4V) has generated an internal interrupt.

Bit 7 enables an external interrupt when the LM12(H)454/8 return from power-down to active mode.

Bits 8–10 form the storage location of the user-programmable value against which the Sequencer’s address is compared. When the Sequencer reaches an address that is equal to the value stored in Bits 8–10, an internal interrupt is generated and appears in Bit 1 of the Interrupt Status register. If Bit 1 of the Interrupt Enable register is set to “1”, an external interrupt will appear at pin 31 ($\overline{INT}$).

The value stored in bits 8–10 ranges from 000 to 111, representing 0 to 7 instructions stored in the Instruction RAM. After the Instruction RAM has been programmed and the RESET bit is set to “1”, the Sequencer is started by placing a “1” in the Configuration register’s START bit. Setting the INT 1 trigger value to 000 **does not generate** an INT 1 the **first** time the Sequencer retrieves and decodes Instruction 000. The Sequencer **generates** INT 1 (by placing a “1” in the Interrupt Status register’s Bit 1) the **second time and after** the Sequencer encounters Instruction 000. It is important to remember that the Sequencer continues to operate even if an Instruction interrupt (INT 1) is internally or externally generated. The only mechanisms that stop the Sequencer are an instruction with the PAUSE bit set to “1” (halts before instruction execution), placing a “0” in the Configuration register’s START bit, or placing a “1” in the Configuration register’s RESET bit.

Bits 11–15 hold the number of conversions that must be stored in the Conversion FIFO in order to generate an internal interrupt. This internal interrupt appears in Bit 2 of the Interrupt Status register. If Bit 2 of the Interrupt Enable register is set to “1”, an external interrupt will appear at pin 31 (INT).

2.5 INTERRUPT STATUS REGISTER

This read-only register is located at address 1010 (A4–A1, BW = 0) or 1010x (A4–A0, BW = 1). The corresponding flag in the Interrupt Status register goes high (“1”) any time that an interrupt condition takes place, whether an interrupt is enabled or disabled in the Interrupt Enable register. Any of the active (“1”) Interrupt Status register flags are reset to “0” whenever this register is read or a device reset is issued (see Bit 1 in the Configuration Register).

Bit 0 is set to “1” when a “watchdog” comparison limit interrupt has taken place.

Bit 1 is set to “1” when the Sequencer has reached the address stored in Bits 8–10 of the Interrupt Enable register.

Bit 2 is set to “1” when the Conversion FIFO’s limit, stored in Bits 11–15 of the Interrupt Enable register, has been reached.

Bit 3 is set to “1” when the single-sampled auto-zero has been completed.

Bit 4 is set to “1” when an auto-zero and full linearity self-calibration has been completed.

Bit 5 is set to “1” when a Pause interrupt has been generated.

Bit 6 is set to “1” when a low-supply voltage condition (V_A+ < 4V) has taken place.

Bit 7 is set to “1” when the LM12(H)454/8 return from power-down to active mode.

Bits 8–10 hold the Sequencer’s actual instruction address while it is running.

Bits 11–15 hold the actual number of conversions stored in the Conversion FIFO while the Sequencer is running.

2.6 LIMIT STATUS REGISTER

The read-only register is located at address 1101 (A4–A1, BW = 0) or 1101x (A4–A0, BW = 1). This register is used in tandem with the Limit #1 and Limit #2 registers in the Instruction RAM. Whenever a given instruction’s input voltage exceeds the limit set in its corresponding Limit register (#1 or #2), a bit, corresponding to the instruction number, is set in the Limit Status register. Any of the active (“1”) Limit Status flags are reset to “0” whenever this register is read or a device reset is issued (see Bit 1 in the Configuration register). This register holds the status of limits #1 and #2 for each of the eight instructions.

Bits 0–7 show the Limit #1 status. Each bit will be set high (“1”) when the corresponding instruction’s input voltage exceeds the threshold stored in the instruction’s Limit #1 register. When, for example, instruction 3 is a “watchdog” operation (Bit 11 is set high) and the input for instruction 3 meets the magnitude and/or polarity data stored in instruction 3’s Limit #1 register, Bit 3 in the Limit Status register will be set to a “1”.



2.0 Internal User-Programmable Registers (Continued)

Bits 8–15 show the Limit #2 status. Each bit will be set high ("1") when the corresponding instruction's input voltage exceeds the threshold stored in the instruction's Limit #2 register. When, for example, the input to instruction 6 meets the value stored in instruction 6's Limit #2 register, Bit 14 in the Limit Status register will be set to a "1".

2.7 TIMER

The LM12(H)454/8 have an on-board 16-bit timer that includes a 5-bit pre-scaler. It uses the clock signal applied to pin 23 as its input. It can generate time intervals of 0 through 2^{21} clock cycles in steps of 2^5. This time interval can be used to delay the execution of instructions. It can also be used to slow the conversion rate when converting slowly changing signals. This can reduce the amount of redundant data stored in the FIFO and retrieved by the controller.

The user-defined timing value used by the Timer is stored in the 16-bit READ/WRITE Timer register at location 1011 (A4–A1, BW = 0) or 1011x (A4–A0, BW = 1) and is pre-loaded automatically. Bits 0–7 hold the preset value's low byte and Bits 8–15 hold the high byte. The Timer is activated by the Sequencer only if the current instruction's Bit 9 is set ("1"). If the equivalent decimal value "N" ($0 \le N \le 2^{16} - 1$) is written inside the 16-bit Timer register and the Timer is enabled by setting an instruction's bit 9 to a "1", the Sequencer will delay the same instruction's execution by halting at state 3 (S3), as shown in *Figure 15*, for 32 x N + 2 clock cycles.

2.8 DMA

The DMA works in tandem with Interrupt 2. An active DMA Request on pin 32 (DMARQ) requires that the FIFO interrupt be enabled. The voltage on the DMARQ pin goes high when the number of conversions in the FIFO equals the 5-bit value stored in the Interrupt Enable register (bits 11–15). The voltage on the $\overline{INT}$ pin goes low at the same time as the voltage on the DMARQ pin goes high. The voltage on the DMARQ pin goes low when the FIFO is emptied. The Interrupt Status register must be read to clear the FIFO interrupt flag in order to enable the next DMA request.

DMA operation is optimized through the use of the 16-bit databus connection (a logic "0" applied to the BW pin). Using this bus width allows DMA controllers that have single address Read/Write capability to easily unload the FIFO. Using DMA on an 8-bit databus is more difficult. Two read operations (low byte, high byte) are needed to retrieve each conversion result from the FIFO. Therefore, the DMA controller must be able to repeatedly access two constant addresses when transferring data from the LM12(H)454/8 to the host system.

3.0 FIFO

The result of each conversion stored in an internal read-only FIFO (First-In, First-Out) register. It is located at 1100 (A4–A1, BW = 0) or 1100x (A4–A0, BW = 1). This register has 32 16-bit wide locations. Each location holds 13-bit data. Bits 0–3 hold the four LSB's in the 12 bits + sign mode or "1110" in the 8 bits + sign mode. Bits 4–11 hold the eight MSB's and Bit 12 holds the sign bit. Bits 13–15 can hold either the sign bit, extending the register's two's complement data format to a full sixteen bits or the instruction address that generated the conversion and the resulting data. These modes are selected according to the logic state of the Configuration register's Bit 5.

The FIFO status should be read in the Interrupt Status register (Bits 11–15) to determine the number of conversion results that are held in the FIFO before retrieving them. This will help prevent conversion data corruption that may take place if the number of reads are greater than the number of conversion results contained in the FIFO. Trying to read the FIFO when it is empty may corrupt new data being written into the FIFO. Writing more than 32 conversion data into the FIFO by the ADC results in loss of the first conversion data. Therefore, to prevent data loss, it is recommended that the LM12(H)454/8's interrupt capability be used to inform the system controller that the FIFO is full.

The lower portion (A0 = 0) of the data word (Bits 0–7) should be read first followed by a read of the upper portion (A0 = 1) when using the 8-bit bus width (BW = 1). Reading the upper portion first causes the data to shift down, which results in loss of the lower byte.

Bits 0–12 hold 12-bit + sign conversion data. **Bits 0–3** will be 1110 (LSB) when using 8-bit plus sign resolution.

Bits 13–15 hold either the instruction responsible for the associated conversion data or the sign bit. Either mode is selected with Bit 5 in the Configuration register.

Using the FIFO's full depth is achieved as follows. Set the value of the Interrupt Enable register's Bits 11–15 to 11111 and the Interrupt Enable register's Bit 2 to a "1". This generates an external interrupt when the 31st conversion is stored in the FIFO. This gives the host processor a chance to send a "0" to the LM12(H)454/8's Start bit (Configuration register) and halt the ADC before it completes the 32nd conversion. The Sequencer halts after the current (32) conversion is completed. The conversion data is then transferred to the FIFO and occupies the 32nd location. FIFO overflow is avoided if the Sequencer is halted before the start of the 32nd conversion by placing a "0" in the Start bit (Configuration register). It is important to remember that the Sequencer **continues to operate even if a FIFO interrupt (INT 2) is internally or externally generated**. The only mechanisms that stop the Sequencer are an instruction with the PAUSE bit set to "1" (halts before instruction execution), placing a "0" in the Configuration register's START bit, or placing a "1" in the Configuration register's RESET bit.

4.0 Sequencer

The Sequencer uses a 3-bit counter (Instruction Pointer, or IP, in *Figure 9*) to retrieve the programmable conversion instructions stored in the Instruction RAM. The 3-bit counter is reset to 000 during chip reset or if the current executed instruction has its Loop bit (Bit 1 in any Instruction RAM "00") set high ("1"). It increments at the end of the currently executed instruction and points to the next instruction. It will continue to increment up to 111 unless an instruction's Loop bit is set. If this bit is set, the counter resets to "000" and execution begins again with the first instruction. If all instructions have their Loop bit reset to "0", the Sequencer will execute all eight instructions continuously. Therefore, it is important to realize that if less than eight instructions are programmed, the Loop bit on the last instruction must be set. Leaving this bit reset to "0" allows the Sequencer to execute "unprogrammed" instructions, the results of which may be unpredictable.

The Sequencer's Instruction Pointer value is readable at any time and is found in the Status register at Bits 8–10. The Sequencer can go through eight states during instruction execution:

State 0: The current instruction's first 16 bits are read from the Instruction RAM "00". This state is one clock cycle long.

State 1: Checks the state of the Calibration and Start bits. This is the "rest" state whenever the Sequencer is stopped using the reset, a Pause command, or the Start bit is reset low ("0"). When the Start bit is set to a "1", this state is one clock cycle long.

State 2: Perform calibration. If bit 2 or bit 6 of the Configuration register is set to a "1", state 2 is 76 clock cycles long. If the Configuration register's bit 3 is set to a "1", state 2 is 4944 clock cycles long.

State 3: Run the internal 16-bit Timer. The number of clock cycles for this state varies according to the value stored in the Timer register. The number of clock cycles is found by using the expression below

$$32T + 2$$

where $0 \le T \le 2^{16} - 1$.

State 7: Run the acquisition delay and read Limit #1's value if needed. The number of clock cycles for 12-bit + sign mode varies according to

$$9 + 2D$$

where D is the user-programmable 4-bit value stored in bits 12–15 of Instruction RAM "00" and is limited to $0 \le D \le 15$.

The number of clock cycles for 8-bit + sign or "watchdog" mode varies according to

$$2 + 2D$$

where D is the user-programmable 4-bit value stored in bits 12–15 of Instruction RAM "00" and is limited to $0 \le D \le 15$.

State 6: Perform first comparison. This state is 5 clock cycles long.

State 4: Read Limit #2. This state is 1 clock cycle long.

State 5: Perform a conversion or second comparison. This state takes 44 clock cycles when using the 12-bit + sign mode or 21 clock cycles when using the 8-bit + sign mode. The "watchdog" mode takes 5 clock cycles.



4.0 Sequencer (Continued)

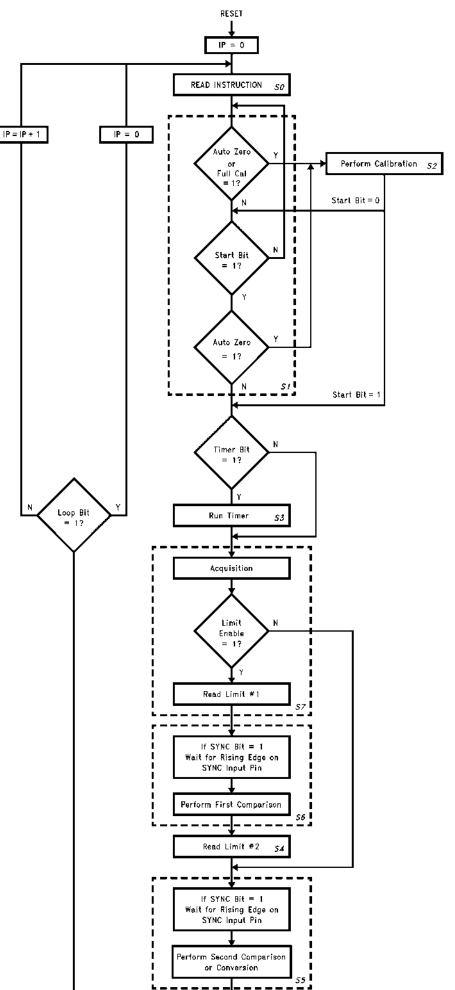


FIGURE 15. Sequencer Logic Flow Chart (IP = Instruction Pointer)

5.0 Analog Considerations

5.1 REFERENCE VOLTAGE

The difference in the voltages applied to the V_{REF+} and V_{REF-} defines the analog input voltage span (the difference between the voltages applied between two multiplexer inputs or the voltage applied to one of the multiplexer inputs and analog ground), over which 4095 positive and 4096 negative codes exist. The voltage sources driving V_{REF+} or V_{REF-} must have very low output impedance and noise.

The ADC can be used in either ratiometric or absolute reference applications. In ratiometric systems, the analog input voltage is proportional to the voltage used for the ADC's reference voltage. When this voltage is the system power supply, the V_{REF+} pin is connected to V_A+ and V_{REF-} is connected to GND. This technique relaxes the system reference stability requirements because the analog input voltage and the ADC reference voltage move together. This maintains the same output code for given input conditions.

For absolute accuracy, where the analog input voltage varies between very specific voltage limits, a time and temperature stable voltage source can be connected to the reference inputs. Typically, the reference voltage's magnitude will require an initial adjustment to null reference voltage induced full-scale errors.

When using the LM12(H)454/8's internal 2.5V bandgap reference, a parallel combination of a 100 µF capacitor and a 0.1 µF capacitor connected to the V_{REFOUT} pin is recommended for low noise operation. When left unconnected, the reference remains stable without a bypass capacitor. However, ensure that stray capacitance at the V_{REFOUT} pin remains below 50 pF.

5.2 INPUT RANGE

The LM12(H)454/8's fully differential ADC and reference voltage inputs generate a two's-complement output that is found by using the equation below.

$$\text{output code} = \frac{V_{IN+} - V_{IN-}}{V_{REF+} - V_{REF-}}(4096) - \tfrac{1}{2} \qquad \text{(12-bit)}$$

$$\text{output code} = \frac{V_{IN+} - V_{IN-}}{V_{REF+} - V_{REF-}}(256) - \tfrac{1}{2} \qquad \text{(8-bit)}$$

Round up to the next integer value between −4096 to 4095 for 12-bit resolution and between −256 to 255 for 8-bit resolution if the result of the above equation is not a whole number. As an example, V_{REF+} = 2.5V, V_{REF-} = 1V, V_{IN+} = 1.5V and V_{IN-} = GND. The 12-bit + sign output code is positive full-scale, or 0,1111,1111,1111. If V_{REF+} = 5V, V_{REF-} = 1V, V_{IN+} = 3V, and V_{IN-} = GND, the 12-bit + sign output code is 0,1100,0000,0000.

5.3 INPUT CURRENT

A charging current flows into or out of (depending on the input voltage polarity) the analog input pins, IN0–IN7 at the start of the analog input acquisition time (t_{ACQ}). This current's peak value will depend on the actual input voltage applied.

5.4 INPUT SOURCE RESISTANCE

For low impedance voltage sources (<100Ω for 5 MHz operation and <60Ω for 8 MHz operation), the input charging current will decay, before the end of the S/H's acquisition time, to a value that will not introduce any conversion errors. For higher source impedances, the S/H's acquisition time can be increased. As an example, operating with a 5 MHz clock frequency and maximum acquisition time, the LM12(H)454/8's analog inputs can handle source impedance as high as 6.67 kΩ. When operating at 8 MHz and maximum acquisition time, the LM12H454/8's analog inputs can handle source impedance as high as 4.17 kΩ. Refer to Section 2.1, Instruction RAM "00", Bits 12–15 for further information.

5.5 INPUT BYPASS CAPACITANCE

External capacitors (0.01 µF–0.1 µF) can be connected between the analog input pins, IN0–IN7, and analog ground to filter any noise caused by inductive pickup associated with long input leads. It will not degrade the conversion accuracy.

5.6 NOISE

The leads to each of the analog multiplexer input pins should be kept as short as possible. This will minimize input noise and clock frequency coupling that can cause conversion errors. Input filtering can be used to reduce the effects of the noise sources.

5.7 POWER SUPPLIES

Noise spikes on the V_A+ and V_D+ supply lines can cause conversion errors; the comparator will respond to the noise. The ADC is especially sensitive to any power supply spikes that occur during the auto-zero or linearity correction. Low inductance tantalum capacitors of 10 µF or greater paralleled with 0.1 µF monolithic ceramic capacitors are recommended for supply bypassing. Separate bypass capacitors should be used for the V_A+ and V_D+ supplies and placed as close as possible to these pins.

5.8 GROUNDING

The LM12(H)454/8's nominal high resolution performance can be maximized through proper grounding techniques. These include the use of separate analog and digital ground planes. The digital ground plane is placed under all components that handle digital signals, while the analog ground plane is placed under all analog signal handling circuitry. The digital and analog ground planes are connected at only one point, the power supply ground. This greatly reduces the occurrence of ground loops and noise.

It is recommended that stray capacitance between the analog inputs or outputs (LM12(H)454: IN0–IN3, MUXOUT+, MUXOUT−, S/H IN+, S/H IN−; LM12(H)458: IN0–IN7, V_{REF+}, and V_{REF-}) be reduced by increasing the clearance (+1/16th inch) between the analog signal and reference pins and the ground plane.

5.9 CLOCK SIGNAL LINE ISOLATION

The LM12(H)454/8's performance is optimized by routing the analog input/output and reference signal conductors (pins 34–44) as far as possible from the conductor that carries the clock signal to pin 23. Ground traces parallel to the clock signal trace can be used on printed circuit boards to reduce clock signal interference on the analog input/output pins.

6.0 Application Circuits

PC EVALUATION/INTERFACE BOARD

Figure 16 is the schematic of an evaluation/interface board designed to interface the LM12(H)454 or LM12(H)458 with an XT or AT® style computer. The board can be used to de-

6.0 Application Circuits (Continued)

velop both software and hardware. The board hardwires the BW (Bus Width) pin to a logic high, selecting an 8-bit wide databus. Therefore, it is designed for an 8-bit expansion slot on the computer's motherboard.

The circuit operates on a single +5V supply derived from the computer's +12V supply using an LM340 regulator. This greatly attenuates noise that may be present on the computer's power supply lines. However, your application may only need an LC filter.

Figure 16 also shows the recommended supply (V_A+ and V_D+) and reference input (V_{REF+} and V_{REF-}) bypassing. The digital and analog supply pins can be connected together to the same supply voltage. However, they need separate, multiple bypass capacitors. Multiple capacitors on the supply pins and the reference inputs ensures a low impedance bypass path over a wide frequency range.

All digital interface control signals (IOR, IOW, and AEN), data lines (DB0–DB7), address lines (A0–A9), and IRQ (interrupt request) lines (IRQ2, IRQ3, and IRQ5) connections are made through the motherboard slot connector. All analog signals applied to, or received by, the input multiplexer (IN0–IN7 for the LM12(H)458 and IN0–IN3, MUXOUT+, MUXOUT−, S/H IN+ and S/H IN− for the LM12(H)454), V_{REF+}, V_{REF-}, V_{REFOUT}, and the SYNC signal input/ output are applied through a DB-37 connector on the rear side of the board. *Figure 16* shows that there are numerous analog ground connections available on the DB-37 connector.

The voltage applied to V_{REF-} and V_{REF+} is selected using two jumpers, JP1 and JP2. JP1 selects between the voltage applied to the DB-37's pin 24 or GND and applies it to the LM12(H)454/8's V_{REF-} input. JP2 selects between the LM12(H)454/8's internal reference output, V_{REFOUT}, and the voltage applied to the DB-37's pin 22 and applies it to the LM12(H)454/8's V_{REF+} input.

TABLE 3. LM12(H)454/8 Evaluation/Interface Board SW DIP-8 Switch Settings for Available I/O Memory Locations

Hexidecimal I/O Memory Base Address	SW DIP-8			
	SW1 (SEL0)	SW2 (SEL1)	SW3 (SEL2)	SW4 (SEL3)
100	ON	ON	ON	ON
120	OFF	ON	ON	ON
140	ON	OFF	ON	ON
160	OFF	OFF	ON	ON
180	ON	ON	OFF	ON
1A0	OFF	ON	OFF	ON
1C0	ON	OFF	OFF	ON
300	OFF	OFF	OFF	ON
340	ON	ON	ON	OFF
280	OFF	ON	ON	OFF
2A0	ON	OFF	ON	OFF

The board allows the use of one of three Interrupt Request (IRQ) lines IRQ2, IRQ3, and IRQ5. The individual IRQ line can be selected using switches 5, 6, and 7 of SW DIP-8. When using any of these three IRQs, the user needs to ensure that there are no conflicts between the evaluation board and any other boards attached to the computer's motherboard.

Switches 1–4, along with address lines A5–A9 are used as inputs to GAL16V8 Programmable Gate Array (U2). This device forms the interface between the computer's control and address lines and generates the control signals used by the LM12(H)454/8 for $\overline{CS}$, $\overline{WR}$, and $\overline{RD}$. It also generates the signal that controls the data buffers. Several address ranges within the computer's I/O memory map are available. Refer to Table III for the switch settings that gives the desired I/O memory address range. Selection of an address range must be done so that there are no conflicts between the evaluation board and any other boards attached to the computer's motherboard. The GAL equations are shown in *Figure 18*. The GAL functional block diagram is shown in *Figure 19*.

Figures 20, 21, 22, 23 show the layout of each layer in the 3-layer evaluation/interface board plus the silk-screen layout showing parts placement. *Figure 21* is the top or component side, *Figure 22* is the middle or ground plane layer, *Figure 23* is the circuit side, and *Figure 20* is the parts layout.

APPENDICE C: INDICE ANALITICO

F

G

I

J

L

M

P

R

S

T

U

V

W